

(11)Publication number : 2005-122105

(43)Date of publication of application : 12.05.2005

(51)Int.Cl.

G02F 1/1343
G02F 1/1368

(21)Application number : 2004-193408

(71)Applicant : LG PHILLIPS LCD CO LTD

(22)Date of filing : 30.06.2004

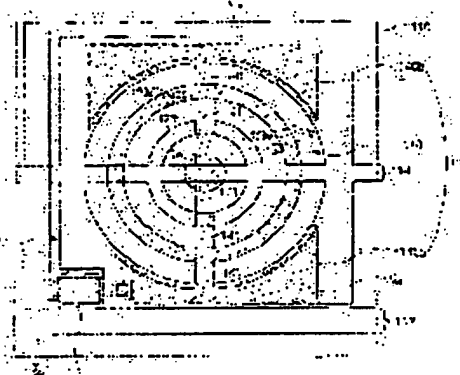
(72)Inventor : LEE YUN BOK
LEE WON HO

(30)Priority

Priority number : 2003 200372124
2004 200425955Priority date : 16.10.2003
14.04.2004Priority country : KR
KR**(54) ARRAY SUBSTRATE FOR IN-PLANE SWITCHING LIQUID CRYSTAL DISPLAY DEVICE
AND METHOD FOR MANUFACTURING SAME****(57)Abstract:**

PROBLEM TO BE SOLVED: To provide an in-plane switching liquid crystal display device with a structure to prevent viewing angle characteristics from lowering due to color shift caused by gray scale inversion.

SOLUTION: A common electrode and a pixel electrode are formed, which are pattern structured in such a way that a principal region of an open region is constructed in a ring shaped or helix shaped structure. Because directors of liquid crystal molecules are uniformly located in every direction, a contrast ratio is improved without producing the color shift in a specified angle so as to improve the viewing angle characteristics. Further, a region overlapping with a black matrix is reduced and, in the case of misalignment in joining, a difference of luminance produced for individual products is minimized.

**LEGAL STATUS**

[Date of request for examination] 30.06.2004

[Date of sending the examiner's decision of
rejection][Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number] 3923487

[Date of registration] 02.03.2007

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1]

Gate wiring formed in the 1st direction;

Data wiring which defines the pixel field which intersects gate wiring in the 2nd direction and includes an opening field;

Thin film transistor which is formed in a part for one corner of said pixel field, is connected with gate wiring and data wiring, and contains a semi-conductor layer;

Common wiring formed so that it might be isolated with gate wiring in said 1st direction;

Common electrode with which it branches from said common wiring, and an outside common electrode pattern is a square-like, and contains the opening section of a circle configuration in the center substantially most among common electrode patterns including many common electrode patterns etc.;

Storage electrode of the shape of said square which laps with an outside common electrode pattern most, and is connected with said thin film transistor;

Connection wiring which is parallel to said data wiring and is connected with said storage electrode in said pixel field;

It was located in the opening section of said circle configuration, and has branched from said connection wiring, and many pixel electrode patterns etc. are included. Said common electrode,

Fixed spacing isolation is carried out and the pixel electrode formed by turns is included. The pixel electrode pattern of said No. 1 inside Substantially, it is the array substrate for liquid crystal displays of the horizontal electric-field mold whose pixel electrode patterns of other etc. are a circle configuration and are rings-like and said whose opening field in said pixel field an inside pattern is a ring-like and is a ring-like substantially most among said common electrode patterns.

[Claim 2]

The common electrode pattern of said large number etc. is the horizontal electric-field type according to claim 1 characterized by being located the pixel electrode pattern of said large number, etc. and by turns of array substrate for liquid crystal displays.

[Claim 3]

An inside common electrode pattern is the horizontal electric-field type according to claim 1 characterized by being located at the core of a pixel field that said common wiring and said connection wiring cross most among the common electrode patterns of said large number etc. of array substrate for liquid crystal displays.

[Claim 4]

Said storage electrode is the horizontal electric-field type according to claim 1 characterized by

including the 1st storage electrode pattern and the 2nd storage electrode pattern which lap with the up field of the common electrode pattern of said No. 1 outside, and a lower field of array substrate for liquid crystal displays.

[Claim 5]

Said 1st storage electrode pattern is the horizontal electric-field type according to claim 4 characterized by connecting with the thin film transistor of array substrate for liquid crystal displays.

[Claim 6]

Said 1st storage electrode pattern and the 2nd storage electrode pattern are the horizontal electric-field type according to claim 4 with which the field which faces mutually is characterized by being a semicircle configuration respectively of array substrate for liquid crystal displays.

[Claim 7]

Said pixel field is the horizontal electric-field type according to claim 1 substantially characterized by being a forward square-like of array substrate for liquid crystal displays.

[Claim 8]

Said four touching pixel fields are red, green, and the horizontal electric-field type according to claim 1 characterized by corresponding blue and white of array substrate for liquid crystal displays respectively.

[Claim 9]

Said storage electrode and said common electrode are the horizontal electric-field type according to claim 1 characterized by lapping mutually and forming the 1st storage capacitor of array substrate for liquid crystal displays.

[Claim 10]

Said storage electrode is the horizontal electric-field type according to claim 9 characterized by lapping with gate wiring of the touching pixel field, and forming the 2nd storage capacitor of array substrate for liquid crystal displays.

[Claim 11]

Said pixel electrode pattern and a common electrode pattern are the horizontal electric-field type according to claim 1 substantially characterized by being located in said opening circles of array substrate for liquid crystal displays except for the common electrode pattern of said No. 1 outside.

[Claim 12]

Said semi-conductor layer is the horizontal electric-field type according to claim 1 characterized by branching from a semi-conducting material layer of array substrate for liquid crystal displays, including further the semi-conducting material layer of of Mr. data wiring configuration in the lower part of said data wiring.

[Claim 13]

They are gate wiring containing a gate electrode, a common electrode containing many common electrode patterns etc., and the phase that the common electrode pattern of said No. 1 outside is a square-like substantially in the phase which forms common wiring which was parallel to said gate wiring and was isolated using the 1st mask process, and is formed in the center so that the opening section of a circle configuration may be included;

Phase which forms gate dielectric film in the upper part of said gate wiring, a common electrode, and common wiring;

Phase which forms a semi-conductor layer on the gate dielectric film of the upper part of said gate electrode using the 2nd mask process;

Data wiring which defines the pixel field which intersects said gate wiring and includes an opening field, The source electrode which branches from said data wiring, and the drain electrode currently isolated from said source electrode are formed using the 3rd mask process. In the phase which forms the thin film transistor which consists of said gate electrode, said semi-conductor layer, said source electrode, and a drain electrode said source electrode and a drain electrode It is the phase which forms the ends of said semi-conductor layer so that a bonnet, said source electrode, and a drain inter-electrode semi-conductor layer may be exposed;

Phase which forms a protective layer all over a substrate so that said thin film transistor may be

covered;

Phase which forms in said protective layer the drain contact hole which exposes said some of drain electrodes using the 4th mask process;

The storage electrode which laps with the common electrode pattern of said No. 1 outside, and is connected with a drain electrode, In the phase which forms in the upper part of a protective layer the pixel electrode which branches from connection wiring connected with said storage electrode, and said connection wiring, and contains many pixel electrode patterns etc. using the 5th mask process It is the manufacture approach of the array substrate for liquid crystal displays of a horizontal electric-field mold that the pixel electrode pattern of said No. 1 inside is a circle configuration substantially, an inside common electrode pattern, the pixel electrode pattern of said large number, etc. are rings-like, and said opening field is a ring-like most among said common electrode patterns.

[Claim 14]

The common electrode pattern of said large number etc. is the manufacture approach of the horizontal electric-field type according to claim 13 characterized by being arranged the pixel electrode pattern of said large number, etc. and by turns of array substrate for liquid crystal displays.

[Claim 15]

It is the manufacture approach of a horizontal electric-field type according to claim 13 of array substrate for liquid crystal displays that it is most characterized by forming an inside common electrode pattern so that it may be located at the core of a pixel field that said common wiring and said connection wiring cross among the common electrode patterns of said large number etc.

[Claim 16]

Said storage electrode is the manufacture approach of the horizontal electric-field type according to claim 13 characterized by including the 1st storage electrode pattern and the 2nd storage electrode pattern which lap with the up field of the common electrode pattern of said No. 1 outside, and a lower field of array substrate for liquid crystal displays.

[Claim 17]

Said 1st storage electrode pattern is the manufacture approach of the horizontal electric-field type according to claim 16 characterized by connecting with the thin film transistor of array substrate for liquid crystal displays.

[Claim 18]

Said 1st storage electrode pattern and the 2nd storage electrode pattern are the manufacture approach of a horizontal electric-field type according to claim 16 of array substrate for liquid crystal displays that the field which faces mutually is characterized by being a semicircle configuration respectively.

[Claim 19]

Said pixel field is the manufacture approach of the horizontal electric-field type according to claim 13 substantially characterized by being a forward square-like of array substrate for liquid crystal displays.

[Claim 20]

Said four touching pixel fields are the manufacture approaches of red, green, and the horizontal electric-field type according to claim 13 characterized by corresponding blue and white of array substrate for liquid crystal displays respectively.

[Claim 21]

Said storage electrode and said common electrode are the manufacture approach of the horizontal electric-field type according to claim 13 characterized by lapping mutually and forming the 1st storage capacitor of array substrate for liquid crystal displays.

[Claim 22]

Said storage electrode is the manufacture approach of the horizontal electric-field type according to claim 21 characterized by lapping with gate wiring of the touching pixel field, and forming the 2nd storage capacitor of array substrate for liquid crystal displays.

[Claim 23]

Said pixel electrode pattern and a common electrode pattern are the manufacture approach of the horizontal electric-field type according to claim 13 substantially characterized by being located in the opening circles of said circle configuration of array substrate for liquid crystal displays except for the common electrode pattern of said No. 1 outside.

[Claim 24]

The common electrode pattern of said No. 1 outside is gate wiring containing a gate electrode, a common electrode containing many common electrode patterns etc., and a phase formed so that it may be a square-like substantially in the phase which forms common wiring which was parallel to said gate wiring and was isolated using the 1st mask process and the opening section of a circle configuration may be included in the center.;

Phase which forms gate dielectric film in the upper part of said gate wiring, a common electrode, and common wiring;

With data wiring which defines the pixel field which intersects said gate wiring and includes an opening field, the source electrode which branches from said data wiring, and said source electrode Carry out said gate electrode in between, and in the drain electrode currently isolated and the lower part of said data wiring in a form like data wiring The semi-conductor layer which branches to the lower part of said source electrode and a drain electrode is formed in a semi-conducting material layer and said semi-conducting material layer using the 2nd mask process. In the phase which forms the thin film transistor which consists of said gate electrode, said semi-conductor layer, said source electrode, and a drain electrode said source electrode and a drain electrode It is the phase which forms the ends of said semi-conductor layer so that a bonnet, said source electrode, and a drain inter-electrode semi-conductor layer may be exposed.;

Phase which forms a protective layer all over a substrate so that said thin film transistor may be covered;

Phase which forms in said protective layer the drain contact hole which exposes said some of drain electrodes using the 3rd mask process;

The storage electrode which laps with the common electrode pattern of said No. 1 outside, and is connected with a drain electrode, In the phase which forms in the upper part of a protective layer the pixel electrode which branches from connection wiring connected with said storage electrode, and said connection wiring, and contains many pixel electrode patterns etc. using the 4th mask process It is the manufacture approach of the array substrate for liquid crystal displays of a horizontal electric-field mold that the pixel electrode pattern of said No. 1 inside is a circle configuration substantially, an inside common electrode pattern, the pixel electrode pattern of said large number, etc. are rings-like, and said opening field is also a ring-like most among said common electrode patterns.

[Claim 25]

The common electrode pattern of said large number etc. is the manufacture approach of the horizontal electric-field type according to claim 24 characterized by being arranged the pixel electrode pattern of said large number, etc. and by turns of array substrate for liquid crystal displays.

[Claim 26]

It is the manufacture approach of a horizontal electric-field type according to claim 24 of array substrate for liquid crystal displays that it is most characterized by forming an inside common electrode pattern so that it may be located at the core of a pixel field that said common wiring and said connection wiring cross among the common electrode patterns of said large number etc.

[Claim 27]

Said storage electrode is the manufacture approach of the horizontal electric-field type according to claim 24 characterized by including the 1st storage electrode pattern and the 2nd storage electrode pattern which lap with the up field of the common electrode pattern of said No. 1 outside, and a lower field of array substrate for liquid crystal displays.

[Claim 28]

Said 1st storage electrode pattern is the manufacture approach of the horizontal electric-field type according to claim 27 characterized by connecting with the thin film transistor of array

substrate for liquid crystal displays.

[Claim 29]

Said 1st storage electrode pattern and the 2nd storage electrode pattern are the manufacture approach of a horizontal electric-field type according to claim 27 of array substrate for liquid crystal displays that the field which faces mutually is characterized by being a semicircle configuration respectively.

[Claim 30]

Said pixel field is the manufacture approach of the horizontal electric-field type according to claim 24 substantially characterized by being a forward square-like of array substrate for liquid crystal displays.

[Claim 31]

Said four touching pixel fields are the manufacture approaches of red, green, and the horizontal electric-field type according to claim 24 characterized by corresponding blue and white of array substrate for liquid crystal displays respectively.

[Claim 32]

Said storage electrode and said common electrode are the manufacture approach of the horizontal electric-field type according to claim 24 characterized by lapping mutually and forming the 1st storage capacitor of array substrate for liquid crystal displays.

[Claim 33]

Said storage electrode is the manufacture approach of the horizontal electric-field type according to claim 32 characterized by lapping with gate wiring of the touching pixel field, and forming the 2nd storage capacitor of array substrate for liquid crystal displays.

[Claim 34]

Said pixel electrode pattern and a common electrode pattern are the manufacture approach of the horizontal electric-field type according to claim 24 substantially characterized by being located in the opening circles of said circle configuration of array substrate for liquid crystal displays except for the common electrode pattern of said No. 1 outside.

[Claim 35]

On a substrate, it is gate wiring;

Data wiring which defines the pixel field which intersects said gate wiring and includes said gate wiring and opening field;

Thin film transistor which is formed in a part for one corner of said pixel field, is connected with gate wiring and data wiring, and contains a semi-conductor;

Common electrode which is a rectangle-like, is substantially located in the center of the 1st community electrode pattern which contains the opening section of a circle configuration in the center, and the opening section of said circle configuration, and is located in said pixel field including the screw type-like 2nd community electrode pattern;

Said data wiring and common wiring which crosses vertically substantially and connects the common electrode of the touching pixel field;

Storage electrode which laps with said 1st community electrode pattern, and is connected with said thin film transistor;

It is the array substrate for liquid crystal displays of the horizontal electric-field mold with which it is located in the opening circles of said circle configuration, and said pixel electrode and said 2nd community electrode pattern form a screw type-like opening field substantially along with said 2nd community electrode pattern including a screw type-like pixel electrode.

[Claim 36]

Said 2nd community electrode pattern is the horizontal electric-field type according to claim 35 characterized by being extended from said 1st community electrode pattern of array substrate for liquid crystal displays.

[Claim 37]

The point which the pixel electrode which said pixel electrode is extended from said storage electrode, and was extended begins is the horizontal electric-field type according to claim 36 characterized by touching the point which said extended 2nd community electrode pattern begins of array substrate for liquid crystal displays.

[Claim 38]

The 1st spiral of the pixel electrode of the shape of said screw type is the horizontal electric-field type according to claim 35 characterized by being located between the 1st spiral of said 1st community electrode pattern and the 2nd community electrode pattern of the shape of said screw type of array substrate for liquid crystal displays.

[Claim 39]

Said common wiring is said common electrode and the horizontal electric-field type according to claim 35 characterized by being formed in one apparatus of array substrate for liquid crystal displays.

[Claim 40]

Said storage electrode is the horizontal electric-field type according to claim 35 substantially characterized by having a round field of array substrate for liquid crystal displays along with the opening section of the circle configuration of said 1st community electrode pattern.

[Claim 41]

Said four touching pixel fields are red, green, and the horizontal electric-field type according to claim 35 characterized by corresponding blue and white of array substrate for liquid crystal displays respectively.

[Claim 42]

Said storage electrode and said common electrode are the horizontal electric-field type according to claim 35 characterized by lapping mutually and forming the 1st storage capacitor of array substrate for liquid crystal displays.

[Claim 43]

Said storage electrode is the horizontal electric-field type according to claim 42 characterized by lapping with gate wiring of the touching pixel field, and forming the 2nd storage capacitor of array substrate for liquid crystal displays.

[Claim 44]

Said semi-conductor layer is the horizontal electric-field type according to claim 35 characterized by branching from a semi-conducting material layer of array substrate for liquid crystal displays, including further the semi-conducting material layer of of Mr. data wiring configuration in the lower part of said data wiring.

[Claim 45]

In the phase which forms gate wiring containing a gate electrode, the common electrode containing the 1st community electrode pattern and the 2nd community electrode pattern, and common wiring that was parallel to said gate wiring and was isolated using the 1st mask process It is the phase which said 1st community electrode pattern is a square-like substantially, it forms in the center so that the opening section of a circle configuration may be included, said 2nd community electrode patterns are the opening circles of said circle configuration, and is formed so that it may become screw type-like.;

Phase which forms gate dielectric film in the upper part of said gate wiring, a common electrode, and common wiring;

Phase which forms a semi-conductor layer on the gate dielectric film of the upper part of said gate electrode using the 2nd mask process;

With the source electrode which branches from data wiring which defines the pixel field which intersects said gate wiring and includes an opening field, and said data wiring, and said source electrode In the phase which forms the drain electrode currently isolated using the 3rd mask process, and forms the thin film transistor which consists of said gate electrode, said semi-conductor layer, said source electrode, and a drain electrode Said source electrode and a drain electrode are a phase which forms the ends of said semi-conductor layer so that a bonnet, said source electrode, and a drain inter-electrode semi-conductor layer may be exposed.;

Phase which forms a protective layer all over a substrate so that said thin film transistor may be covered;

Phase which forms in said protective layer the drain contact hole which exposes said some of drain electrodes using the 4th mask process;

The storage electrode which laps with said 1st community electrode pattern, and is connected

with a drain electrode, In the phase which is located in the opening circles of said circle configuration, and forms a screw type-like pixel electrode substantially along with said 2nd community electrode pattern using the 5th mask process It is the manufacture approach of the array substrate for liquid crystal displays of a horizontal electric-field mold that said storage electrode is connected with said thin film transistor, and said pixel electrode and said 2nd community electrode pattern form a screw type-like opening field.

[Claim 46]

Said 2nd community electrode pattern is the manufacture approach of the horizontal electric-field type according to claim 45 characterized by being extended from said 1st community electrode pattern of array substrate for liquid crystal displays.

[Claim 47]

The point which the pixel electrode which said pixel electrode is extended from said storage electrode, and was extended begins is the manufacture approach of the horizontal electric-field type according to claim 46 characterized by touching the point which said extended 2nd community electrode pattern begins of array substrate for liquid crystal displays.

[Claim 48]

the 1st spiral of the pixel electrode of the shape of said screw type — the [said] — the [one common electrode pattern and / of the shape of said screw type] — the manufacture approach of the horizontal electric-field type according to claim 45 characterized by being located between the 1st spiral of two common electrode patterns of array substrate for liquid crystal displays.

[Claim 49]

Said common wiring is the manufacture approach of said common electrode and the horizontal electric-field type according to claim 45 characterized by being formed in one apparatus of array substrate for liquid crystal displays.

[Claim 50]

Said storage electrode is the manufacture approach of the horizontal electric-field type according to claim 45 substantially characterized by having a round field of array substrate for liquid crystal displays along with the opening section of the circle configuration of said 1st community electrode pattern.

[Claim 51]

Said four touching pixel fields are the manufacture approaches of red, green, and the horizontal electric-field type according to claim 45 characterized by corresponding blue and white of array substrate for liquid crystal displays respectively.

[Claim 52]

Said storage electrode and said common electrode are the manufacture approach of the horizontal electric-field type according to claim 45 characterized by lapping mutually and forming the 1st storage capacitor of array substrate for liquid crystal displays.

[Claim 53]

Said storage electrode is the manufacture approach of the horizontal electric-field type according to claim 52 characterized by lapping with gate wiring of the touching pixel field, and forming the 2nd storage capacitor of array substrate for liquid crystal displays.

[Claim 54]

In the phase which forms gate wiring containing a gate electrode, the common electrode containing the 1st community electrode pattern and the 2nd community electrode pattern, and common wiring that was parallel to said gate wiring and was isolated using the 1st mask process It is the phase which said 1st community electrode pattern is a square-like substantially, it forms in the center so that the opening section of a circle configuration may be included, said 2nd community electrode patterns are the opening circles of said circle configuration, and is formed so that it may become screw type-like.;

Phase which forms gate dielectric film in the upper part of said gate wiring, a common electrode, and common wiring;

With the source electrode which branches from data wiring which defines the pixel field which intersects said gate wiring and includes an opening field, and said data wiring, and said source

electrode In the drain electrode currently isolated and the lower part of said data wiring, a semi-conducting material layer of a configuration like data wiring. On the gate dielectric film of the upper part of said gate electrode, the semi-conductor layer which branched to the lower part of said source electrode and a drain electrode is formed from said semi-conducting material layer using the 2nd mask process. In the phase which forms the thin film transistor which consists of said gate electrode, said semi-conductor layer, said source electrode, and a drain electrode said source electrode and a drain electrode It is the phase which forms the ends of said semi-conductor layer so that a bonnet, said source electrode, and a drain inter-electrode semi-conductor layer may be exposed.;

Phase which forms a protective layer all over a substrate so that said thin film transistor may be covered;

Phase which forms in said protective layer the drain contact hole which exposes said some of drain electrodes using the 3rd mask process;

In the phase which is located in the storage electrode which laps with said 1st community electrode pattern, and the opening circles of said circle configuration, and forms a screw type-like pixel electrode substantially along with said 2nd community electrode pattern using the 4th mask process It is the manufacture approach of the array substrate for liquid crystal displays of a horizontal electric-field mold that said storage electrode is connected with said thin film transistor, and said pixel electrode and said 2nd community electrode pattern form a screw type-like opening field.

[Claim 55]

Said 2nd community electrode pattern is the manufacture approach of the horizontal electric-field type according to claim 54 characterized by being extended from said 1st community electrode pattern of array substrate for liquid crystal displays.

[Claim 56]

The point which the pixel electrode which said pixel electrode is extended from said storage electrode, and was extended begins is the manufacture approach of the horizontal electric-field type according to claim 55 characterized by touching the point which said extended 2nd community electrode pattern begins of array substrate for liquid crystal displays.

[Claim 57]

the 1st spiral of the pixel electrode of the shape of said screw type -- the [said] -- the [one common electrode pattern and / of the shape of said screw type] -- the manufacture approach of the horizontal electric-field type according to claim 54 characterized by being located between the 1st spiral of two common electrode patterns of array substrate for liquid crystal displays.

[Claim 58]

Said common wiring is the manufacture approach of said common electrode and the horizontal electric-field type according to claim 54 characterized by being formed in one apparatus of array substrate for liquid crystal displays.

[Claim 59]

Said storage electrode is the manufacture approach of the horizontal electric-field type according to claim 54 substantially characterized by having a round field of array substrate for liquid crystal displays along with the opening section of the circle configuration of said 1st community electrode pattern.

[Claim 60]

Said four touching pixel fields are the manufacture approaches of red, green, and the horizontal electric-field type according to claim 54 characterized by corresponding blue and white of array substrate for liquid crystal displays respectively.

[Claim 61]

Said storage electrode and said common electrode are the manufacture approach of the horizontal electric-field type according to claim 54 characterized by lapping mutually and forming the 1st storage capacitor of array substrate for liquid crystal displays.

[Claim 62]

Said storage electrode is the manufacture approach of the horizontal electric-field type

according to claim 61 characterized by lapping with gate wiring of the touching pixel field, and forming the 2nd storage capacitor of array substrate for liquid crystal displays.

[Claim 63]

Gate wiring on a substrate;

Data wiring which defines the pixel field which intersects said gate wiring and includes an opening field;

At the lower part of said data wiring, it is the semi-conducting material layer of a configuration like said data wiring.;

Thin film transistor containing the semi-conductor layer which is formed in a part for one corner of said pixel field, is connected with gate wiring and data wiring, and branched from the source electrode, the drain electrode, and said semi-conducting material layer;

Common wiring formed so that it might be parallel to said gate wiring and might be isolated;

It is the common electrode which branches from said common wiring, and an outside common electrode pattern is a square-like substantially most, and contains the opening section of a circle configuration in the center among the common electrode patterns of said large number etc. including many common electrode patterns etc.;

Storage electrode formed so that it might lap with gate wiring of the touching pixel field;

Pixel electrode which is located in the opening section of said circle configuration, and contains many pixel electrode patterns etc.;

Connection wiring which is parallel to said data wiring and is connected with said storage electrode and said pixel electrode, and said drain electrode in said pixel field is included. Said pixel electrode It laps with said some of connection wiring, and connection wiring is contacted directly. The pixel electrode pattern of said No. 1 inside Substantially, it is the array substrate for liquid crystal displays of the horizontal electric-field mold whose pixel electrode patterns of other etc. are a circle configuration and are rings-like and said whose opening field in said pixel field an inside pattern is a ring-like and is a ring-like substantially most among said common electrode patterns.

[Claim 64]

The common electrode pattern of said large number etc. is the horizontal electric-field type according to claim 63 characterized by being located the pixel electrode pattern of said large number, etc. and by turns of array substrate for liquid crystal displays.

[Claim 65]

An inside common electrode pattern is the horizontal electric-field type according to claim 63 characterized by being located at the core of a pixel field that said common wiring and said connection wiring cross most among the common electrode patterns of said large number etc. of array substrate for liquid crystal displays.

[Claim 66]

Said storage electrode is the horizontal electric-field type according to claim 63 characterized by connecting with said thin film transistor of array substrate for liquid crystal displays through said connection wiring.

[Claim 67]

Said four touching pixel fields are red, green, and the horizontal electric-field type according to claim 63 characterized by corresponding blue and white of array substrate for liquid crystal displays respectively.

[Claim 68]

Said storage electrode is the horizontal electric-field type according to claim 63 characterized by lapping with the common electrode pattern of said No. 1 outside, forming the 1st storage capacitor, lapping with said gate wiring of said touching pixel field, and forming the 2nd storage capacitor of array substrate for liquid crystal displays.

[Claim 69]

Said pixel electrode pattern and a common electrode pattern are the horizontal electric-field type according to claim 63 substantially characterized by being located in the opening circles of said circle configuration of array substrate for liquid crystal displays except for the common electrode pattern of said No. 1 outside.

[Claim 70]

They are gate wiring containing a gate electrode, a common electrode containing many common electrode patterns etc., and the phase that the common electrode pattern of said No. 1 outside is a square-like substantially in the phase which forms common wiring which is parallel to said gate wiring and is isolated using the 1st mask process, and is formed in the center so that the opening section of a circle configuration may be included.;

Phase which forms gate dielectric film in the upper part of said gate wiring, a common electrode, and common wiring;

With data wiring which defines the pixel field which intersects said gate wiring and includes an opening field, the source electrode which branches from said data wiring, and said source electrode The drain electrode currently isolated by carrying out said gate electrode in between, and said data wiring, In the storage electrode formed in the upper part of connection wiring parallel and connected with said drain electrode substantially, and gate wiring of the pixel field which is extended from said connection wiring and touches, and the lower part of said data wiring In the semi-conducting material layer and said semi-conducting material layer of a configuration like said data wiring The semi-conductor layer which branches to the lower part of said source electrode and a drain electrode and the upper part of said gate electrode is formed using the 2nd mask process. In the phase which forms the thin film transistor which consists of said gate electrode, said semi-conductor layer, said source electrode, and a drain electrode said source electrode and a drain electrode It is the phase which forms the ends of said semi-conductor layer so that a bonnet, said source electrode, and a drain inter-electrode semi-conductor layer may be exposed.;

Phase which forms in the upper part of said thin film transistor the photoresist pattern which includes an isolation field between the common electrode patterns of said large number etc. using the 3rd mask process;

Phase which forms a transparent conductive matter layer all over a substrate so that said photoresist pattern may be covered;

In the phase which forms the pixel electrode which removes the transparent conductive matter layer formed on the photoresist pattern, and contains many pixel electrode patterns etc. at the same time it removes said photoresist pattern Said pixel electrode is located in said isolation field, and includes the phase formed so that said connection wiring may be contacted. The pixel electrode pattern of said No. 1 inside It is the manufacture approach of the array substrate for liquid crystal displays of the horizontal electric-field mold which it is a circle configuration and other pixel electrode patterns are rings-like, and is substantially formed among said common electrode patterns so that an inside common electrode pattern may be a ring-like most and said opening field may also become ring-like.

[Claim 71]

The common electrode pattern of said large number etc. is the manufacture approach of the horizontal electric-field type according to claim 70 characterized by being located the pixel electrode pattern of said large number, etc. and by turns of array substrate for liquid crystal displays.

[Claim 72]

An inside common electrode pattern is the manufacture approach of the horizontal electric-field type according to claim 70 characterized by being located at the core of a pixel field that said common wiring and said connection wiring cross most among the common electrode patterns of said large number etc. of array substrate for liquid crystal displays.

[Claim 73]

Said storage electrode is the manufacture approach of the horizontal electric-field type according to claim 70 characterized by connecting with said thin film transistor of array substrate for liquid crystal displays through said connection wiring.

[Claim 74]

Said four touching pixel fields are the manufacture approaches of red, green, and the horizontal electric-field type according to claim 70 characterized by corresponding blue and white of array substrate for liquid crystal displays respectively.

[Claim 75]

Said storage electrode is the manufacture approach of the horizontal electric-field type according to claim 70 characterized by lapping with the common electrode pattern of said No. 1 outside, forming the 1st storage capacitor, lapping with said gate wiring of said touching pixel field, and forming the 2nd storage capacitor of array substrate for liquid crystal displays.

[Claim 76]

Said pixel electrode pattern and a common electrode pattern are the manufacture approach of the horizontal electric-field type according to claim 70 substantially characterized by being located in the opening circles of said circle configuration of array substrate for liquid crystal displays except for the common electrode pattern of said No. 1 outside.

[Claim 77]

Gate wiring on a substrate;

Data wiring which defines the pixel field which intersects said gate wiring and includes an opening field;

At the lower part of said data wiring, it is the semi-conducting material layer of a configuration like said data wiring;

Thin film transistor containing the semi-conductor layer which is formed in a part for one corner of said pixel field, is connected with gate wiring and data wiring, and branched from the source electrode, the drain electrode, and said semi-conducting material layer;

Common wiring formed so that it might be parallel to said gate wiring and might be isolated;

Storage electrode formed so that it might lap with gate wiring of the touching pixel field;

Connection wiring which is parallel to said data wiring and is connected with said storage electrode and said drain electrode in said pixel field;

It is the common electrode divided into two parts with said connection wiring in the condition that each the pattern of said common electrode does not lap with said connection wiring in the common electrode containing many common electrode patterns etc.;

It is located in the opening section of a circle configuration, and the pixel electrode which does not lap with said common wiring and which consisted of many pixel electrode patterns etc. is included. Most an outside common electrode pattern among the common electrode patterns of said large number etc. in a pixel field Substantially, it is a square-like and the opening section of a circle configuration is included in the center. Other common electrode patterns etc. It is a semicircle-like. Most among the pixel electrode patterns of said large number etc. an inside pixel electrode pattern It is the array substrate for liquid crystal displays of the horizontal electric-field mold with which it is located in the field of said connection wiring in the center of a pixel field, and other pixel electrode patterns etc. are semicircles-like, and the common electrode pattern of said large number, etc. many pixel electrode patterns, etc. form a ring-like opening field.

[Claim 78]

Said pixel electrode is the horizontal electric-field type according to claim 77 characterized by lapping with said some of connection wiring, and contacting connection wiring and directly [said] of array substrate for liquid crystal displays.

[Claim 79]

Said common electrode is the horizontal electric-field type according to claim 77 characterized by lapping with said some of common wiring, and contacting common wiring and directly [said] of array substrate for liquid crystal displays.

[Claim 80]

Phase which forms gate wiring containing a gate electrode, and common wiring which is parallel to said gate wiring and is isolated using the 1st mask process;

Phase which forms gate dielectric film in the upper part of said gate wiring and common wiring;

With data wiring which defines the pixel field which intersects said gate wiring and includes an opening field, the source electrode which branches from said data wiring, and said source electrode The drain electrode currently isolated, said data wiring, and connection wiring parallel and connected with said drain electrode substantially, In the storage electrode formed in the upper part of gate wiring of the pixel field which is extended from said connection wiring and

touches, and the lower part of said data wiring in the semi-conducting material layer and said semi-conducting material layer of a configuration like said data wiring. The semi-conductor layer which branched to the lower part of said source electrode and a drain electrode and the upper part of said gate electrode is formed using the 2nd mask process. In the phase which forms the thin film transistor which consists of said gate electrode, said semi-conductor layer, said source electrode, and a drain electrode said source electrode and a drain electrode. It is the phase which forms the ends of said semi-conductor layer so that a bonnet, said source electrode, and a drain inter-electrode semi-conductor layer may be exposed.;

It is the phase formed so that said photoresist pattern may not lap with said connection wiring in the phase which forms a photoresist pattern in the upper part of said thin film transistor using the 3rd mask process, it may not lap with the two symmetrical 1st isolation fields and said common wiring to said connection wiring and the two symmetrical 2nd isolation fields may be included to said common wiring.;

Phase of etching the gate dielectric film exposed by said two 1st isolation fields in said photoresist pattern using the mask, and exposing lower common wiring and lower connection wiring.;

Phase which forms a transparent conductive matter layer all over the substrate containing said photoresist pattern.;

In the phase which removes the transparent conductive matter layer formed on the photoresist pattern, and forms a pixel electrode and a common electrode at the same time it removes said photoresist pattern. Said common electrode and a pixel electrode are formed in said 1st isolation field and the 2nd isolation field, and a corresponding location. Said common electrode. Many common electrode patterns etc. are included. Said pixel electrode. The phase formed so that many pixel electrode patterns etc. may be included is included. Most among the common electrode patterns of said large number etc. an outside common electrode pattern. In a pixel field, substantially, it is a square-like, and it forms so that the opening section of a circle configuration may be included inside. Other common electrodes etc. It forms so that it may become a semicircle configuration. Most among said pixel electrode patterns etc. an inside pixel electrode pattern. In the center of a pixel field, it forms so that it may be located in the field of said connection wiring. Other pixel electrode patterns etc. It is the manufacture approach of the array substrate for liquid crystal displays of a horizontal electric-field mold that form so that it may become semicircle-like, and the common electrode pattern of said large number, etc. many pixel electrode patterns, etc. form a ring-like opening field.

[Claim 81]

Said pixel electrode is the manufacture approach of the horizontal electric-field type according to claim 80 characterized by lapping with said some of connection wiring, and contacting connection wiring and directly [said] of array substrate for liquid crystal displays.

[Claim 82]

Said common electrode is the manufacture approach of the horizontal electric-field type according to claim 80 characterized by lapping with said some of common wiring, and contacting common wiring and directly [said] of array substrate for liquid crystal displays.

[Claim 83]

Gate wiring on a substrate.;

Data wiring which defines the pixel field which intersects said gate wiring and includes an opening field.;

Thin film transistor which is formed in a part for one corner of said pixel field, is connected with gate wiring and data wiring, and contains a gate electrode, a source electrode, a drain electrode, and a semi-conductor layer.;

Common wiring formed so that it might be parallel to said gate wiring and might be isolated.;

It is the common electrode which is extended from said common wiring, and an outside common electrode pattern is a rectangle-like in a pixel field, and contains the square-like opening section in the center most among the common electrode patterns of said large number etc. including many common electrode patterns etc.;

Storage electrode which lapped with the common electrode pattern of the shape of said

rectangle, and was connected with the thin film transistor;

Connection wiring which was parallel to said data wiring and was connected with said storage electrode in said pixel field;

It was located in the opening section of the shape of said square, and has branched from said connection wiring. The pixel electrode containing many pixel electrode patterns etc. is included. Most among the pixel electrode patterns of said large number etc. an inside pixel electrode pattern It is the array substrate for liquid crystal displays of the horizontal electric-field mold which it is a circle configuration and other pixel electrode patterns etc. are rings-like, and an inside common electrode pattern is a ring-like most, and forms a ring-like opening field among the common electrode patterns of said large number etc. substantially.

[Claim 84]

The common electrode pattern of said large number etc. is the horizontal electric-field type according to claim 83 characterized by being located the pixel electrode pattern of said large number, etc. and by turns of array substrate for liquid crystal displays.

[Claim 85]

An inside common electrode pattern is the horizontal electric-field type according to claim 83 characterized by being located at the core of a pixel field that said common wiring and said connection wiring cross most among the common electrode patterns of said large number etc. of array substrate for liquid crystal displays.

[Claim 86]

Said storage electrode is the horizontal electric-field type according to claim 83 characterized by including the 1st storage capacitor pattern and the 2nd storage capacitor pattern which lap with the lower field of the common electrode pattern of said No. 1 outside, and an up field respectively of array substrate for liquid crystal displays.

[Claim 87]

Said 1st capacitor electrode pattern is the horizontal electric-field type according to claim 86 characterized by connecting with the thin film transistor of array substrate for liquid crystal displays.

[Claim 88]

Said four touching pixel fields are red, green, and the horizontal electric-field type according to claim 83 characterized by corresponding blue and white of array substrate for liquid crystal displays respectively.

[Claim 89]

Said storage electrode and said common electrode are the horizontal electric-field type according to claim 83 characterized by lapping mutually and forming the 1st storage capacitor of array substrate for liquid crystal displays.

[Claim 90]

Said storage electrode is the horizontal electric-field type according to claim 89 characterized by lapping with gate wiring of the touching pixel field, and forming the 2nd storage capacitor of array substrate for liquid crystal displays.

[Claim 91]

Said pixel electrode pattern and a common electrode pattern are the horizontal electric-field type according to claim 83 substantially characterized by being located in the opening circles of the shape of said square of array substrate for liquid crystal displays except for the common electrode pattern of said No. 1 outside.

[Claim 92]

Gate wiring on a substrate;

Data wiring which defines the pixel field which intersects said gate wiring and includes an opening field;

Semi-conducting material layer formed in the lower part of said data wiring in a form like said data wiring;

Thin film transistor containing the semi-conductor layer which is formed in a part for one corner of said pixel field, is connected with gate wiring and data wiring, and branched from the gate electrode, the source electrode, the drain electrode, and said semi-conducting material layer;

Common wiring formed so that it might be parallel to said gate wiring and might be isolated;
Storage electrode formed so that it might lap with gate wiring of the touching pixel field;
Connection wiring which is parallel to said data wiring, is extended from said drain electrode in said pixel field, and is connected with said storage electrode and said drain electrode;
Protective layer in which it is formed in the upper part of said storage electrode and connection wiring, and the 1st contact hole and the 2nd contact hole to which lower common wiring and lower connection wiring are exposed respectively are formed;

It is the common electrode of the pixel which an outside common electrode pattern touches most among the common electrode patterns of said large number etc. in the common electrode formed on said protective layer other common electrode patterns of whose etc. an outside common electrode pattern etc. is connected most and are rings-like in the center in a pixel field including the opening section of a circle configuration including many common electrode patterns etc.;

It is the array substrate for liquid crystal displays of the horizontal electric-field mold with which it is located in the intersection with which an inside pixel electrode pattern is a circle configuration most, and which said common wiring and connection electrode intersect, and other pixel electrode patterns contain a ring-like pixel electrode among many pixel electrode patterns etc. in the pixel electrode located in the opening circles of said circle configuration including many pixel electrode patterns etc.

[Claim 93]

Said common electrode is the horizontal electric-field type according to claim 92 characterized by lapping with said common wiring and connection wiring, and contacting said common wiring through said 1st contact hole of array substrate for liquid crystal displays.

[Claim 94]

Said pixel electrode is the horizontal electric-field type according to claim 92 characterized by lapping with said common wiring and connection wiring, and contacting said connection wiring through said 2nd contact hole of array substrate for liquid crystal displays.

[Claim 95]

The common electrode pattern of said large number etc. is the horizontal electric-field type according to claim 92 characterized by being located the pixel electrode pattern of said large number, etc. and by turns of array substrate for liquid crystal displays.

[Claim 96]

It is the horizontal electric-field type according to claim 92 characterized by locating an inside common electrode pattern in the center of a pixel field most among the common electrode patterns of said large number etc. of array substrate for liquid crystal displays.

[Claim 97]

Said four touching pixel fields are red, green, and the horizontal electric-field type according to claim 92 characterized by corresponding blue and white of array substrate for liquid crystal displays respectively.

[Claim 98]

Said common electrode and a pixel electrode are the horizontal electric-field type according to claim 92 characterized by consisting of indium-tin-oxide (ITO) of array substrate for liquid crystal displays.

[Claim 99]

Said common electrode is the horizontal electric-field type according to claim 92 characterized by forming in the upper part of said data wiring of array substrate for liquid crystal displays.

[Claim 100]

Phase which forms gate wiring containing a gate electrode, and common wiring which is parallel to said gate wiring and is isolated using the 1st mask process;

Phase which forms gate dielectric film in the upper part of said gate wiring and common wiring;

With data wiring which defines the pixel field which intersects said gate wiring and includes an opening field, the source electrode which branches from said data wiring, and said source electrode in the drain electrode currently isolated and the lower part of said data wiring, a semi-conducting material layer of a configuration like said data wiring, The thin film transistor

connected with gate wiring and data wiring at a part for one corner of said pixel field, In the phase which forms the storage electrode which laps with gate wiring of the touching pixel, said data wiring, and connection wiring parallel and connected with said drain electrode substantially using the 2nd mask process Said connection wiring is a phase formed so that it may connect with a storage electrode and the drain electrode of a thin film transistor.;

Phase which forms a protective layer in the upper part of said thin film transistor;

Phase which forms the 1st contact hole and the 2nd contact hole in said protective layer using the 3rd mask process;

It is the phase of the pixel which an outside common electrode pattern touches most among the common electrode patterns of said large number etc. in the phase which forms the common electrode containing many common electrode patterns etc. in the upper part of said protective layer which is most connected with an outside common electrode pattern, contains the opening section of a circle configuration in the center in the pixel field, and forms an inside common electrode pattern in the shape of a ring most.;

In the phase which forms the pixel electrode containing many pixel electrode patterns etc. in the opening circles of said circle configuration most among many pixel electrode patterns etc. an inside pixel electrode pattern Said common electrode and a pixel electrode are the manufacture approach of the array substrate for liquid crystal displays of a horizontal electric-field mold including the phase formed using the 4th mask process including the phase which said common wiring forms in a circle configuration in the part which intersects said connection wiring, and forms other pixel electrode patterns in the shape of a ring.

[Claim 101]

Said common electrode is the manufacture approach of the horizontal electric-field type according to claim 100 characterized by forming by indium-tin-oxide (ITO) of array substrate for liquid crystal displays.

[Claim 102]

Said common electrode is the manufacture approach of the horizontal electric-field type according to claim 100 characterized by forming in the upper part of said data wiring of array substrate for liquid crystal displays.

[Claim 103]

Gate wiring on a substrate;

Data wiring which defines the pixel field which intersects said gate wiring and includes an opening field;

Gate pad connected with the end of said gate wiring;

Data pad connected with the end of said data wiring;

Gate pad electrode connected with said gate pad;

Data pad electrode connected with said data pad;

Semi-conducting material layer formed in a form like said data wiring by the lower part of said data wiring;

Thin film transistor containing the semi-conductor layer which was connected with said gate wiring and data wiring at a part for one corner of said pixel field, and branched from the source electrode, the drain electrode, and the semi-conducting material layer;

It is isolated with said gate wiring and is parallel common wiring.;

It is the common electrode which an outside common electrode pattern is a square-like in a pixel field, and contains the opening section of a circle configuration in the center most among the common electrode patterns of said large number etc. in the common electrode which branches from said common wiring and contains many common electrode patterns etc.;

Storage electrode which laps with gate wiring of the touching pixel field;

Pixel electrode which is located in the opening circles of said circle configuration, and contains many pixel electrode patterns etc.;

Connection wiring which was parallel to said data wiring and was connected with said pixel electrode and the drain electrode of a thin film transistor in said pixel field is included. Among the pixel electrode patterns of said large number etc., most an inside pixel electrode pattern It is located in the field of said connection wiring. Said pixel electrode It laps with said some of

connection wiring. Connection wiring Contact directly and other pixel electrode patterns except the pixel electrode pattern of said No. 1 inside etc. It is a semicircle-like. Said semi-conducting material layer Said source electrode and a drain electrode, It is the array substrate for liquid crystal displays of the horizontal electric-field mold which is extended in the lower part of said connection wiring and said storage electrode, and an inside common electrode pattern is a ring-like most, and constitutes an opening field in the shape of a ring among the common electrode patterns of said large number etc.

[Claim 104]

The common electrode pattern of said large number etc. is the horizontal electric-field type according to claim 103 characterized by being located the pixel electrode pattern of said large number, etc. and by turns of array substrate for liquid crystal displays.

[Claim 105]

An inside pixel electrode pattern is the horizontal electric-field type according to claim 103 characterized by being located in the center of the pixel field where said common wiring and said connection wiring cross most among the pixel electrode patterns of said large number etc. of array substrate for liquid crystal displays.

[Claim 106]

Said storage electrode is the horizontal electric-field type according to claim 103 characterized by connecting with said thin film transistor of array substrate for liquid crystal displays through said connection wiring.

[Claim 107]

Said four touching pixel fields are red, green, and the horizontal electric-field type according to claim 103 characterized by corresponding blue and white of array substrate for liquid crystal displays respectively.

[Claim 108]

Said common electrode pattern and said pixel electrode pattern are the horizontal electric-field type according to claim 103 most characterized by being altogether located in the interior of the opening section of said circle configuration except for an outside common electrode pattern of array substrate for liquid crystal displays.

[Claim 109]

Gate wiring containing a gate electrode, and the common electrode containing many common electrode patterns etc., In the phase which is isolated with the gate pad connected with the end of said gate wiring, and said gate wiring, and forms parallel common wiring on a substrate using the 1st mask process It is the phase which an outside common electrode pattern is a square-like substantially most, and is formed in the center among the common electrode patterns of said large number etc. so that it may have the opening section of a circle configuration.;

Phase which forms gate dielectric film in the upper part of a said gate wiring, common electrode, and gate pad and common wiring;

Data wiring which defines the pixel field which intersects said gate wiring and includes an opening field, The source electrode which branched from said data wiring, and said source electrode and said gate electrode are carried out in between. The isolated drain electrode, said data wiring, and connection wiring parallel and extended from said drain electrode substantially, In the storage electrode which laps with gate wiring of the touching pixel field, the data pad connected with the end of said data wiring, and the lower part of said data wiring In the semi-conducting material layer and said semi-conducting material layer of a configuration like said data wiring In the phase which forms the semi-conductor layer which branched to the upper part of said gate electrode, said source electrode and a drain electrode, and the lower part of connection wiring using the 2nd mask process It is the phase where said source electrode and a drain electrode lap with the ends of said gate electrode, said source electrode and a drain inter-electrode semi-conductor layer are exposed, and said gate electrode, a source electrode, a drain electrode, and a semi-conductor layer constitute a thin film transistor.;

Phase which forms a protective layer in the upper part of said data wiring, a source electrode and a drain electrode, a data pad, connection wiring, and a storage electrode;

It is the phase formed so that said thin film transistor may be covered, and the contact opening

section in which said photoresist pattern exposes said gate pad and a data pad between the common electrode patterns of said large number etc. including an isolation field in the phase which forms a photoresist pattern in the upper part of said protective layer may be included.; Phase which forms a transparent conductive matter layer all over a substrate so that said photoresist pattern may be covered;

In the phase which removes the transparent conductive matter layer formed on the photoresist pattern, and forms a pixel electrode, a gate pad electrode, and a data pad electrode at the same time it removes said photoresist pattern Said pixel electrode is located in said isolation field including many pixel electrode patterns etc. The phase formed so that it may contact connection wiring and directly [said] is included. Most among the pixel electrode patterns of said large number etc. an inside pixel electrode pattern It is the manufacture approach of the array substrate for liquid crystal displays of the horizontal electric-field mold which it is cylindrical and other pixel electrode patterns are semicircles-like, and an inside common electrode pattern is a ring-like most, and forms a ring-like opening field among the common electrode patterns of said large number etc.

[Claim 110]

The common electrode pattern of said large number etc. is the manufacture approach of the horizontal electric-field type according to claim 109 characterized by being located the pixel electrode pattern of said large number, etc. and by turns of array substrate for liquid crystal displays.

[Claim 111]

An inside pixel electrode pattern is the manufacture approach of the horizontal electric-field type according to claim 109 characterized by being located in the center of the pixel field where said common wiring and said connection wiring cross most among the pixel electrode patterns of said large number etc. of array substrate for liquid crystal displays.

[Claim 112]

Said storage electrode is the manufacture approach of the horizontal electric-field type according to claim 109 characterized by forming through said connection wiring so that it may connect with said thin film transistor of array substrate for liquid crystal displays.

[Claim 113]

Said storage electrode is the manufacture approach of the horizontal electric-field type according to claim 109 characterized by forming so that it may lap with an outside common electrode pattern most among said common electrode patterns, and forming the common electrode pattern and storage capacitor of said No. 1 outside of array substrate for liquid crystal displays.

[Claim 114]

Said pixel electrode pattern and a common electrode pattern are the manufacture approach of the horizontal electric-field type according to claim 109 characterized by forming most so that it may be altogether located in the opening circles of said circle configuration except for an outside common electrode pattern of array substrate for liquid crystal displays.

[Translation done.]

*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[Field of the Invention]

[0001]

This invention relates to a liquid crystal display, and relates to the liquid crystal display and its manufacture approach of a horizontal electric-field mold (IPS:In-Plane Switching mode) especially.

[Background of the Invention]

[0002]

Generally, the actuation principle of a liquid crystal display uses the optical anisotropy and the quality of polarizability of liquid crystal. Since structure is thin and long, said liquid crystal has directivity in the array of a molecule, artificially, can impress electric field to liquid crystal, and can control the direction of the array of a molecule.

[0003]

Therefore, if the direction of the array of said liquid crystal molecule is adjusted to arbitration, the array of a liquid crystal molecule changes, light is refracted in the direction of the array of said liquid crystal molecule by optical anisotropy, and the information on an image can be expressed.

[0004]

In current, resolution and the embodiment capacity of a moving picture are excellent in the liquid crystal display (it is hereafter called a liquid crystal display for short.) of the active matrix in which the pixel electrode connected with the thin film transistor and said thin film transistor was arranged with the active system, and it is capturing the spotlight most.

[0005]

Generally, although a liquid crystal display consists of a light filter substrate with which the common electrode was formed, an array substrate with which the pixel electrode was formed, and liquid crystal with which it filled up among both substrates, it is the method which makes liquid crystal drive by the common electrode and the pixel inter-electrode vertical electric field built up and down, and properties, such as permeability and a numerical aperture, are excellent in such a liquid crystal display.

[0006]

However, since actuation of the liquid crystal by the vertical electric field mentioned above is not excellent in the property of an angle of visibility, in order to improve this, liquid crystal is made to drive by level electric field, and the liquid crystal display of a horizontal electric-field mold with the property of a wide-field-of-view angle is proposed.

[0007]

Drawing 1 is the sectional view having shown the cross section of the liquid crystal display of a common horizontal electric-field mold.

As illustrated, the up substrate 10 which is a light filter substrate, and the lower substrate 20 which is an array substrate face mutually, and is being isolated, and the common electrode 22 and the pixel electrode 24 are formed in the internal side of said lower substrate 20 with the structure where the liquid crystal layer 30 intervenes between this up substrate 10 and the lower substrate 20.

[0008]

Since it operates by the level electric field 26 of said common electrode 22 and pixel electrode 24 and the liquid crystal molecule 32 in the liquid crystal layer 30 moves by level electric field, said liquid crystal layer 30 has the property that an angle of visibility becomes large.

For example, when said horizontal electric-field type of liquid crystal display is seen from a transverse plane, it can see in the direction of about 80 degree-85° on a top / bottom / left / right.

[0009]

Hereafter, drawing 2 is the rough top view of the array substrate for liquid crystal displays of the

conventional horizontal electric-field mold.

As illustrated, the gate wiring 40 and the data wiring 42 cross, and are formed mutually, and thin film transistor T is formed in the crossover point of the gate wiring 40 and the data wiring 42. It defines as a pixel field P, the common electrode 44 and the pixel electrode 46 are formed in the pixel field P, and the crossover field of the gate wiring 40 and the data wiring 42 is characterized by making into the substantial opening field I the field where liquid crystal is horizontally arranged by the horizontal electric field between two electrodes.

[0010]

If it explains in more detail, it connects with said thin film transistor T, the storage electrode 48 is formed, and many pixel electrodes 46 have branched in the same direction as the data wiring 42 in the storage electrode 48. And the common electrode 50 is formed in the same direction as said gate wiring 40 so that fixed spacing isolation may be carried out, and in said common wiring 50, many common electrodes 44 are formed the pixel electrode 46 and by turns.

[0011]

For example, with this drawing, when the opening field I of the common electrode 44 and the pixel electrode 46 is defined as one block, 4 block structures are shown.

[0012]

Thus, since the liquid crystal display of a horizontal electric-field mold is the structure of making a liquid crystal molecule driving by the horizontal electric field formed in a common electrode and pixel inter-electrode, it is effective in an angle of visibility improving from the liquid crystal display of the existing common vertical electric-field mold.

[0013]

Recently, in order to raise further the property of the angle of visibility of the liquid crystal display of a horizontal electric-field mold, the structure which carries out the part rate of the domain to a large number is proposed.

[0014]

Drawing 3 is the rough top view of the array substrate for liquid crystal displays of the horizontal electric-field mold which is the existing multi-domain, and explanation of the part which overlaps said drawing 2 is given simple, and is explained focusing on characteristic structure. It is characterized by consisting of structures at which said pixel electrode 56 and common electrode 54 turned from the storage electrode 58 and the common wiring 60 repeatedly to zigzag according to many pixel electrodes 56 and common electrodes 54 branching by turns respectively.

[0015]

and the liquid crystal molecule located in the section of said pixel electrode 56 and the common electrode 54 — the music of the pixel electrode 56 and the common electrode 54 — **** — on the basis of the part which is, it is arranged mutually, it is constituted by multi-domain structure, and an angle of visibility is improved compared with the electrode structure of the existing 1-character mold.

[0016]

Located so that said storage electrode 58 may lap with said common wiring 60, the superposition field of the storage electrode 58 and the common wiring 60 constitutes the storage capacitor Cst. And one of one pixel electrodes 56 are constituted by the drain electrode 62 for thin film transistor T, and the one apparatus pattern among the pixel electrodes 56 of said large number.

[0017]

However, since the direction child of liquid crystal changed with whenever [angle-of-visibility] according to the liquid crystal display of the multi-domain horizontal electric-field mold using the existing zigzag structure, reversal of a color was generated and the improvement of an angle of visibility was restricted by this.

[0018]

Drawing 4 is drawing having shown the property of the angle of visibility of the liquid crystal display of the multi-domain horizontal electric-field mold of the existing zigzag structure. According to the liquid crystal display of the horizontal electric-field mold of the existing zigzag structure, 90 degrees and the direction (IVa, IVb) of 180 degree, i.e., a top/bottom, although the

property of the angle of visibility to the left/right has improved, the property of the angle of visibility to 45 degrees and the direction (IVc, IVd) of 135 degree falls.

Moreover, the reversal of a color is also the same and the difference according to angle of visibility exists to all the directions.

[0019]

Although reversal of the gradation in the direction which a liquid crystal molecule rotates at least 45 degrees only of profiles on the average in response to the effect of the electric field between two electrodes, and such a liquid crystal molecule rotates will occur if it explains in more detail and an electrical potential difference will be impressed to a liquid crystal layer Especially, at the time of actuation of a gradation display, the anisotropy of the refractive index of a liquid crystal molecule shows yellow generally in the direction of 45 degree (+45 degrees) over a polarizer, and the color shift which shows a target blue occurs in the direction of 135 degree (-45 degrees).

[Description of the Invention]

[Problem(s) to be Solved by the Invention]

[0020]

In order to solve a problem which was mentioned above, it aims at offering the liquid crystal display and its manufacture approach of a horizontal electric-field mold of the structure which can prevent lowering of the property of the angle of visibility by the color shift by reversal of gradation in this invention.

In order to attain said object, even if it can constitute an opening field from shape of a ring, and screw type structure, it forms a common electrode and a pixel electrode as pattern structure in this invention and the direction child of liquid crystal sees from which direction, it becomes the same, and thereby, reversal of a color is prevented and the property of an angle of visibility is raised.

[Means for Solving the Problem]

[0021]

In order to attain the object mentioned above, in the 1st description of this invention Gate wiring is intersected in gate wiring and the 2nd direction of; which were formed in the 1st direction. The thin film transistor which is formed in a part for one corner of data wiring which defines a pixel field including an opening field, and the; aforementioned pixel field, is connected with gate wiring and data wiring, and contains a semi-conductor layer; in said 1st direction It branches from said common wiring and many common electrode patterns etc. are included. Most among common electrode patterns Common wiring formed so that it might be isolated with gate wiring; an outside common electrode pattern the common electrode which is a square-like and contains the opening section of a circle configuration in the center substantially, and; — the storage electrode of the shape of said square which laps with an outside common electrode pattern most, and is connected with said thin film transistor, and; — in said pixel field Connection wiring which is parallel to said data wiring and is connected with said storage electrode; It is located in the opening section of said circle configuration. It has branched from said connection wiring and many pixel electrode patterns etc. are included. Said common electrode, Fixed spacing isolation is carried out and the pixel electrode formed by turns is included. The pixel electrode pattern of said No. 1 inside It is a circle configuration, and other pixel electrode patterns etc. are rings-like, among said common electrode patterns, most, an inside pattern is a ring-like and said opening field in said pixel field offers the array substrate for liquid crystal displays of a ring-like horizontal electric-field mold substantially.

[0022]

In said 1st description, the common electrode pattern of said large number etc. is located the pixel electrode pattern of said large number, etc. and by turns. Moreover, an inside common electrode pattern is most located at the core of a pixel field that said common wiring and said connection wiring cross, among the common electrode patterns of said large number etc. Said storage electrode contains the 1st storage electrode pattern and the 2nd storage electrode pattern which lap with the up field of the common electrode pattern of said No. 1 outside, and a lower field.

Said 1st storage electrode pattern is connected with the thin film transistor.

The field where said 1st storage electrode pattern and the 2nd storage electrode pattern face mutually is a semicircle configuration respectively.

Said pixel field is a forward square-like substantially.

Said four touching pixel fields correspond to red, green, blue, and white respectively.

Said storage electrode and said common electrode lap mutually, and form the 1st storage capacitor. Said storage electrode laps with gate wiring of the touching pixel field, and forms the 2nd storage capacitor.

Said pixel electrode pattern and a common electrode pattern are substantially located in said opening circles except for the common electrode pattern of said No. 1 outside.

In the lower part of said data wiring, said semi-conductor layer branches from a semi-conducting material layer, including further the semi-conducting material layer of a configuration like data wiring.

[0023]

In the phase which forms gate wiring containing a gate electrode, the common electrode containing many common electrode patterns etc., and common wiring that was parallel to said gate wiring and was isolated in the 2nd description of this invention using the 1st mask process Substantially, the common electrode pattern of said No. 1 outside so that it may be a square-like and the opening section of a circle configuration may be included in the center The phase to form and the phase which forms gate dielectric film in the upper part of the; aforementioned gate wiring, a common electrode, and common wiring; The 2nd mask process is used on the gate dielectric film of the upper part of said gate electrode. Data wiring which defines the pixel field which intersects the phase and the; aforementioned gate wiring which form semi-conductor layer, and includes an opening field; The source electrode which branches from said data wiring, In the phase which forms the drain electrode currently isolated from said source electrode using the 3rd mask process, and forms the thin film transistor which consists of said gate electrode, said semi-conductor layer, said source electrode, and a drain electrode Said source electrode and a drain electrode the ends of said semi-conductor layer a bonnet, said source electrode, and a drain inter-electrode semi-conductor layer The phase formed so that it may be exposed; so that said thin film transistor may be covered The phase which forms a protective layer all over a substrate; The 4th mask process is used for the drain contact hole which exposes said some of drain electrodes. The phase formed in said protective layer; The storage electrode which laps with the common electrode pattern of said No. 1 outside, and is connected with a drain electrode, it branches from connection wiring connected with said storage electrode, and said connection wiring — having — many pixel electrode patterns In the phase which forms the included pixel electrode in the upper part of a protective layer using the 5th mask process etc. —
 — The pixel electrode pattern of said No. 1 inside is a circle configuration substantially. Most among said common electrode patterns an inside common electrode pattern, the pixel electrode pattern of said large number, etc. It is a ring-like and said opening field offers the manufacture approach of the array substrate for liquid crystal displays of the horizontal electric-field mold which is a ring-like.

[0024]

In said 2nd description, the common electrode pattern of said large number etc. is arranged the pixel electrode pattern of said large number, etc. and by turns. Among the common electrode patterns of said large number etc., most, said common wiring and said connection wiring form an inside common electrode pattern so that it may be located at the core of the crossing pixel field.

Said storage electrode contains the 1st storage electrode pattern and the 2nd storage electrode pattern which lap with the up field of the common electrode pattern of said No. 1 outside, and a lower field.

Said 1st storage electrode pattern is connected with the thin film transistor.

The field where said 1st storage electrode pattern and the 2nd storage electrode pattern face mutually is a semicircle configuration respectively.

Said pixel field is a forward square-like substantially.

Said four touching pixel fields correspond to red, green, blue, and white respectively.

Said storage electrode and said common electrode lap mutually, and form the 1st storage capacitor. Said storage electrode laps with gate wiring of the touching pixel field, and forms the 2nd storage capacitor.

Said pixel electrode pattern and a common electrode pattern are substantially located in the opening circles of said circle configuration except for the common electrode pattern of said No. 1 outside.

[0025]

In the phase which forms common wiring which was parallel to gate wiring containing a gate electrode, the common electrode containing many common electrode patterns etc., and said gate wiring as for the 3rd description of this invention, and was isolated using the 1st mask process. Substantially, the common electrode pattern of said No. 1 outside so that it may be a square-like and the opening section of a circle configuration may be included in the center. The phase to form, and the phase which forms gate dielectric film in the upper part of the; aforementioned gate wiring, a common electrode, and common wiring; data wiring which defines the pixel field which intersects said gate wiring and includes an opening field,

In the source electrode which branches from said data wiring, the drain electrode currently isolated by carrying out said gate electrode in between with said source electrode, and the lower part of said data wiring, in a form like data wiring. The semi-conductor layer which branches to the lower part of said source electrode and a drain electrode is formed in a semi-conducting material layer and said semi-conducting material layer using the 2nd mask process. In the phase which forms the thin film transistor which consists of said gate electrode, said semi-conductor layer, said source electrode, and a drain electrode said source electrode and a drain electrode. The ends of said semi-conductor layer a bonnet, said source electrode, and a drain inter-electrode semi-conductor layer. The phase formed so that it may be exposed; so that said thin film transistor may be covered. The phase which forms a protective layer all over a substrate; The 3rd mask process is used for the drain contact hole which exposes said some of drain electrodes. The phase formed in said protective layer; The storage electrode which laps with the common electrode pattern of said No. 1 outside, and is connected with a drain electrode, In the phase which forms in the upper part of a protective layer the pixel electrode which branches from connection wiring connected with said storage electrode, and said connection wiring, and contains many pixel electrode patterns etc. using the 4th mask process. The pixel electrode pattern of said No. 1 inside is a circle configuration substantially. Most among said common electrode patterns an inside common electrode pattern, the pixel electrode pattern of said large number, etc. The manufacture approach of the array substrate for liquid crystal displays of a horizontal electric-field mold that it is a ring-like and said opening field is also a ring-like is offered.

[0026]

In said 3rd description, the common electrode pattern of said large number etc. is arranged the pixel electrode pattern of said large number, etc. and by turns. Among the common electrode patterns of said large number etc., most, said common wiring and said connection wiring form an inside common electrode pattern so that it may be located at the core of the crossing pixel field.

Said storage electrode contains the 1st storage electrode pattern and the 2nd storage electrode pattern which lap with the up field of the common electrode pattern of said No. 1 outside, and a lower field.

Said 1st storage electrode pattern is connected with the thin film transistor.

The field where said 1st storage electrode pattern and the 2nd storage electrode pattern face mutually is a semicircle configuration respectively.

Said pixel field is a forward square-like substantially.

Said four touching pixel fields correspond to red, green, blue, and white respectively.

Said storage electrode and said common electrode lap mutually, and form the 1st storage capacitor. Said storage electrode laps with gate wiring of the touching pixel field, and forms the 2nd storage capacitor.

Said pixel electrode pattern and a common electrode pattern are substantially located in the

opening circles of said circle configuration except for the common electrode pattern of said No. 1 outside.

[0027]

Said gate wiring is intersected. the 4th description of this invention — gate wiring on a substrate, and; — Data wiring which defines a pixel field including said gate wiring and opening field; It is formed in a part for one corner of said pixel field. The thin film transistor which is connected with gate wiring and data wiring, and contains a semi-conductor; The 1st community electrode pattern which is a rectangle-like and contains the opening section of a circle configuration in the center substantially, The common electrode which is located in the center of the opening section of said circle configuration, and is located in said pixel field including the screw type-like 2nd community electrode pattern; Said data wiring, The storage electrode which laps with common wiring and the 1st community electrode pattern of; above which cross vertically substantially and connect the common electrode of the touching pixel field, and is connected with said thin film transistor; It is located in the opening circles of said circle configuration. Along with said 2nd community electrode pattern, said pixel electrode and said 2nd community electrode pattern offer substantially the array substrate for liquid crystal displays of the horizontal electric-field mold which forms a screw type-like opening field including a screw type-like pixel electrode.

[0028]

In said 4th description, said 2nd community electrode pattern is extended from said 1st community electrode pattern. Said pixel electrode is extended from said storage electrode, and the point which the extended pixel electrode begins touches the point which said extended 2nd community electrode pattern begins. The 1st spiral of the pixel electrode of the shape of said screw type is located between the 1st spiral of said 1st community electrode pattern and the 2nd community electrode pattern of the shape of said screw type. Said common wiring is formed in said common electrode and one apparatus.

Said storage electrode has a round field substantially along with the opening section of the circle configuration of said 1st community electrode pattern.

Said four touching pixel fields correspond to red, green, blue, and white respectively.

Said storage electrode and said common electrode lap mutually, and form the 1st storage capacitor.

Said storage electrode laps with gate wiring of the touching pixel field, and forms the 2nd storage capacitor.

In the lower part of said data wiring, said semi-conductor layer branches from a semi-conducting material layer, including further the semi-conducting material layer of a configuration like data wiring.

[0029]

Gate wiring whose 5th description of this invention contains a gate electrode, and the common electrode containing the 1st community electrode pattern and the 2nd community electrode pattern, In the phase which forms common wiring which was parallel to said gate wiring and was isolated using the 1st mask process said 1st community electrode pattern Substantially, it is a square-like, and it forms in the center so that the opening section of a circle configuration may be included. Said 2nd community electrode pattern The phase formed in the opening department of said circle configuration so that it may become screw type-like; Said gate wiring, The phase which forms gate dielectric film in the upper part of a common electrode and common wiring; The 2nd mask process is used on the gate dielectric film of the upper part of said gate electrode. The phase which forms a semi-conductor layer; with the source electrode which branches from data wiring which defines the pixel field which intersects said gate wiring and includes an opening field, and said data wiring, and said source electrode In the phase which forms the drain electrode currently isolated using the 3rd mask process, and forms the thin film transistor which consists of said gate electrode, said semi-conductor layer, said source electrode, and a drain electrode Said source electrode and a drain electrode the ends of said semi-conductor layer a bonnet, said source electrode, and a drain inter-electrode semi-conductor layer The phase formed so that it may be exposed; so that said thin film transistor

may be covered The phase which forms a protective layer all over a substrate; The 4th mask process is used for the drain contact hole which exposes said some of drain electrodes. The phase formed in said protective layer; The storage electrode which laps with said 1st community electrode pattern, and is connected with a drain electrode. In the phase which is located in the opening circles of said circle configuration, and forms a screw type-like pixel electrode substantially along with said 2nd community electrode pattern using the 5th mask process Said storage electrode is connected with said thin film transistor, and said pixel electrode and said 2nd community electrode pattern offer the manufacture approach of the array substrate for liquid crystal displays of the horizontal electric-field mold which forms a screw type-like opening field.

[0030]

In said 5th description, said 2nd community electrode pattern is extended from said 1st community electrode pattern. Said pixel electrode is extended from said storage electrode, and the point which the extended pixel electrode begins touches the point which said extended 2nd community electrode pattern begins. The 1st spiral of the pixel electrode of the shape of said screw type is located between the 1st spiral of said 1st community electrode pattern and the 2nd community electrode pattern of the shape of said screw type. Said common wiring is formed in said common electrode and one apparatus.

Said storage electrode has a round field substantially along with the opening section of the circle configuration of said 1st community electrode pattern.

Said four touching pixel fields correspond to red, green, blue, and white respectively.

Said storage electrode and said common electrode lap mutually, and form the 1st storage capacitor.

Said storage electrode laps with gate wiring of the touching pixel field, and forms the 2nd storage capacitor.

[0031]

Gate wiring whose 6th description of this invention contains a gate electrode, and the common electrode containing the 1st community electrode pattern and the 2nd community electrode pattern. In the phase which forms common wiring which was parallel to said gate wiring and was isolated using the 1st mask process said 1st community electrode pattern Substantially, it is a square-like, and it forms in the center so that the opening section of a circle configuration may be included. Said 2nd community electrode pattern The phase which forms gate dielectric film in the upper part of the phase formed in the opening department of said circle configuration so that it may become screw type-like, the; aforementioned gate wiring, a common electrode, and common wiring; Said gate wiring is intersected. With the source electrode which branches from data wiring which defines a pixel field including an opening field, and said data wiring, and said source electrode In the drain electrode currently isolated and the lower part of said data wiring, a semi-conducting material layer of a configuration like data wiring, On the gate dielectric film of the upper part of said gate electrode, the semi-conductor layer which branched to the lower part of said source electrode and a drain electrode is formed from said semi-conducting material layer using the 2nd mask process. In the phase which forms the thin film transistor which consists of said gate electrode, said semi-conductor layer, said source electrode, and a drain electrode said source electrode and a drain electrode The ends of said semi-conductor layer a bonnet, said source electrode, and a drain inter-electrode semi-conductor layer The phase formed so that it may be exposed; so that said thin film transistor may be covered The phase which forms a protective layer all over a substrate; The 3rd mask process is used for the drain contact hole which exposes said some of drain electrodes. The phase formed in said protective layer; The storage electrode which laps with said 1st community electrode pattern, In the phase which is located in the opening circles of said circle configuration, and forms a screw type-like pixel electrode substantially along with said 2nd community electrode pattern using the 4th mask process Said storage electrode is connected with said thin film transistor, and said pixel electrode and said 2nd community electrode pattern offer the manufacture approach of the array substrate for liquid crystal displays of the horizontal electric-field mold which forms a screw type-like opening field.

[0032]

In said 6th description, said 2nd community electrode pattern is extended from said 1st community electrode pattern. Said pixel electrode is extended from said storage electrode, and the point which the extended pixel electrode begins touches the point which said extended 2nd community electrode pattern begins. The 1st spiral of the pixel electrode of the shape of said screw type is located between the 1st spiral of said 1st community electrode pattern and the 2nd community electrode pattern of the shape of said screw type. Said common wiring is formed in said common electrode and one apparatus.

Said storage electrode has a round field substantially along with the opening section of the circle configuration of said 1st community electrode pattern.

Said four touching pixel fields correspond to red, green, blue, and white respectively.

Said storage electrode and said common electrode lap mutually, and form the 1st storage capacitor.

Said storage electrode laps with gate wiring of the touching pixel field, and forms the 2nd storage capacitor.

[0033]

Data wiring which defines the pixel field which the 7th description of this invention intersects gate wiring on a substrate, and the; aforementioned gate wiring, and includes an opening field; It is the lower part of said data wiring. The semi-conducting material layer of a configuration like said data wiring; It is formed in a part for one corner of said pixel field. The thin film transistor containing the semi-conductor layer which is connected with gate wiring and data wiring, and branched from the source electrode, the drain electrode, and said semi-conducting material layer; Are parallel to said gate wiring. It branches from said common wiring and many common electrode patterns etc. are included. Most among the common electrode patterns of said large number etc. Common wiring formed so that it might be isolated; an outside common electrode pattern The storage electrode which is a square-like, and was substantially formed in the center so that it might lap with gate wiring of the pixel field which; Touches the common electrode containing the opening section of a circle configuration; It is located in the opening section of said circle configuration. The pixel electrode containing many pixel electrode patterns etc.; Are parallel to said data wiring in said pixel field. Connection wiring connected with said storage electrode and said pixel electrode, and said drain electrode is included. Said pixel electrode It laps with said some of connection wiring, and connection wiring is contacted directly. The pixel electrode pattern of said No. 1 inside Substantially, it is a circle configuration, and other pixel electrode patterns etc. are rings-like, among said common electrode patterns, most, an inside pattern is a ring-like and said opening field in said pixel field offers the array substrate for liquid crystal displays of the horizontal electric-field mold which is a ring-like.

[0034]

In said 7th description, the common electrode pattern of said large number etc. is located the pixel electrode pattern of said large number, etc. and by turns. An inside common electrode pattern is most located at the core of a pixel field that said common wiring and said connection wiring cross, among the common electrode patterns of said large number etc.

Said storage electrode is connected with said thin film transistor through said connection wiring.

Said four touching pixel fields correspond to red, green, blue, and white respectively.

Said storage electrode laps with the common electrode pattern of said No. 1 outside, forms the 1st storage capacitor, laps with said gate wiring of said touching pixel field, and forms the 2nd storage capacitor.

Said pixel electrode pattern and a common electrode pattern are substantially located in the opening circles of said circle configuration except for the common electrode pattern of said No. 1 outside.

[0035]

In the phase which forms common wiring which is parallel to gate wiring containing a gate electrode, the common electrode containing many common electrode patterns etc., and said gate wiring as for the 8th description of this invention, and is isolated using the 1st mask process The common electrode pattern of said No. 1 outside is a square-like substantially. The phase formed

in the center so that the opening section of a circle configuration may be included, and the phase which forms gate dielectric film in the upper part of the; aforementioned gate wiring, a common electrode, and common wiring; Said gate wiring is intersected. With data wiring which defines a pixel field including an opening field, the source electrode which branches from said data wiring, and said source electrode The drain electrode currently isolated by carrying out said gate electrode in between, and said data wiring, In the storage electrode formed in the upper part of connection wiring parallel and connected with said drain electrode substantially, and gate wiring of the pixel field which is extended from said connection wiring and touches, and the lower part of said data wiring In the semi-conducting material layer and said semi-conducting material layer of a configuration like said data wiring The semi-conductor layer which branches to the lower part of said source electrode and a drain electrode and the upper part of said gate electrode is formed using the 2nd mask process. In the phase which forms the thin film transistor which consists of said gate electrode, said semi-conductor layer, said source electrode, and a drain electrode said source electrode and a drain electrode The ends of said semi-conductor layer a bonnet, said source electrode, and a drain inter-electrode semi-conductor layer In the upper part of said thin film transistor, The phase formed so that it may be exposed; between the common electrode patterns of said large number etc. The phase which forms a photoresist pattern including an isolation field using the 3rd mask process; so that said photoresist pattern may be covered The phase which forms a transparent conductive matter layer all over a substrate; The transparent conductive matter layer formed on the photoresist pattern is removed at the same time it removes said photoresist pattern. In the phase which forms the pixel electrode containing many pixel electrode patterns etc. said pixel electrode It is located in said isolation field and the phase formed so that said connection wiring may be contacted is included. The pixel electrode pattern of said No. 1 inside Substantially, it is a circle configuration, and other pixel electrode patterns are rings-like, and among said common electrode patterns, most, an inside common electrode pattern is a ring-like, and offers the manufacture approach of the array substrate for liquid crystal displays of the horizontal electric-field mold formed so that said opening field may also become ring-like.

[0036]

In said 8th description, the common electrode pattern of said large number etc. is located the pixel electrode pattern of said large number, etc. and by turns. An inside common electrode pattern is most located at the core of a pixel field that said common wiring and said connection wiring cross, among the common electrode patterns of said large number etc.

Said storage electrode is connected with said thin film transistor through said connection wiring. Said four touching pixel fields correspond to red, green, blue, and white respectively.

Said storage electrode laps with the common electrode pattern of said No. 1 outside, forms the 1st storage capacitor, laps with said gate wiring of said touching pixel field, and forms the 2nd storage capacitor.

Said pixel electrode pattern and a common electrode pattern are substantially located in the opening circles of said circle configuration except for the common electrode pattern of said No. 1 outside.

[0037]

Data wiring which defines the pixel field which the 9th description of this invention intersects gate wiring on a substrate, and the; aforementioned gate wiring, and includes an opening field; It is the lower part of said data wiring. The semi-conducting material layer of a configuration like said data wiring; It is formed in a part for one corner of said pixel field. The thin film transistor containing the semi-conductor layer which is connected with gate wiring and data wiring, and branched from the source electrode, the drain electrode, and said semi-conducting material layer; Are parallel to said gate wiring. The storage electrode formed so that it might lap with gate wiring of the pixel field which; Touches common wiring formed so that it might be isolated; in said pixel field In the common electrode containing connection wiring, a common electrode pattern of; large number, etc. which are parallel to said data wiring and are connected with said storage electrode and said drain electrode Each the pattern of said common electrode in the condition of not lapping with said connection wiring It is located in the opening section of a common

electrode and; circle configuration divided into two parts with said connection wiring. The pixel electrode which does not lap with said common wiring and which consisted of many pixel electrode patterns etc. is included. Most among the common electrode patterns of said large number etc. an outside common electrode pattern In a pixel field, substantially, it is a square-like and the opening section of a circle configuration is included in the center. Other common electrode patterns etc. It is a semicircle-like. Most among the pixel electrode patterns of said large number etc. an inside pixel electrode pattern Located in the field of said connection wiring in the center of a pixel field, other pixel electrode patterns etc. are semicircles-like, and the common electrode pattern of said large number, etc. many pixel electrode patterns, etc. offer the array substrate for liquid crystal displays of the horizontal electric-field mold which forms a ring-like opening field.

[0038]

In said 9th description, said pixel electrode laps with said some of connection wiring, and contacts connection wiring and directly [said]. Said common electrode laps with said some of common wiring, and contacts common wiring and directly [said].

[0039]

The 10th description of this invention is parallel to gate wiring containing a gate electrode, and said gate wiring. The phase which forms gate dielectric film in the upper part of the phase and the; aforementioned gate wiring which form common wiring isolated using the 1st mask process, and common wiring; Said gate wiring is intersected. With data wiring which defines a pixel field including an opening field, the source electrode which branches from said data wiring, and said source electrode The drain electrode currently isolated, said data wiring, and connection wiring parallel and connected with said drain electrode substantially, In the storage electrode formed in the upper part of gate wiring of the pixel field which is extended from said connection wiring and touches, and the lower part of said data wiring In the semi-conducting material layer and said semi-conducting material layer of a configuration like said data wiring The semi-conductor layer which branched to the lower part of said source electrode and a drain electrode and the upper part of said gate electrode is formed using the 2nd mask process. In the phase which forms the thin film transistor which consists of said gate electrode, said semi-conductor layer, said source electrode, and a drain electrode said source electrode and a drain electrode The ends of said semi-conductor layer a bonnet, said source electrode, and a drain inter-electrode semi-conductor layer The phase formed so that it may be exposed; In the phase which forms a photoresist pattern in the upper part of said thin film transistor using the 3rd mask process Said photoresist pattern does not lap with said connection wiring, but said connection wiring is received. Do not lap with the two symmetrical 1st isolation fields and said common wiring, but said common wiring is received. The phase formed so that the two symmetrical 2nd isolation fields may be included; A mask is used for said photoresist pattern. The gate dielectric film exposed by said two 1st isolation fields is etched. The phase of exposing lower common wiring and lower connection wiring; all over the substrate containing said photoresist pattern The phase which forms a transparent conductive matter layer; In the phase which removes the transparent conductive matter layer formed on the photoresist pattern, and forms a pixel electrode and a common electrode at the same time it removes said photoresist pattern Said common electrode and a pixel electrode are formed in said 1st isolation field and the 2nd isolation field, and a corresponding location. Said common electrode Many common electrode patterns etc. are included. Said pixel electrode The phase formed so that many pixel electrode patterns etc. may be included is included. Most among the common electrode patterns of said large number etc. an outside common electrode pattern In a pixel field, substantially, it is a square-like, and it forms so that the opening section of a circle configuration may be included inside. Other common electrodes etc. It forms so that it may become a semicircle configuration. Most among said pixel electrode patterns etc. an inside pixel electrode pattern In the center of a pixel field, it forms so that it may be located in the field of said connection wiring. Other pixel electrode patterns etc. Forming so that it may become semicircle-like, the common electrode pattern of said large number, etc. many pixel electrode patterns, etc. offer the manufacture approach of the array substrate for liquid crystal displays of the horizontal electric-field mold which forms a ring-like

opening field.

[0040]

In said 10th description, said pixel electrode laps with said some of connection wiring, and contacts connection wiring and directly [said]. Said common electrode laps with said some of common wiring, and contacts common wiring and directly [said].

[0041]

Said gate wiring is intersected. the 11th description of this invention — gate wiring on a substrate, and; — Data wiring which defines a pixel field including an opening field; It is formed in a part for one corner of said pixel field. It connects with gate wiring and data wiring. A gate electrode, a source electrode, The thin film transistor containing a drain electrode and a semi-conductor layer; Are parallel to said gate wiring. It is extended from said common wiring and many common electrode patterns etc. are included. Most among the common electrode patterns of said large number etc. Common wiring formed so that it might be isolated; an outside common electrode pattern The storage electrode which was a rectangle-like, lapped with the common electrode and the; aforementioned rectangle-like common electrode pattern which contain the square-like opening section in the center, and was connected with the thin film transistor in the pixel field; in said pixel field Connection wiring which was parallel to said data wiring and was connected with said storage electrode; It is located in the opening section of the shape of said square. It has branched from said connection wiring and the pixel electrode containing many pixel electrode patterns etc. is included. Most among the pixel electrode patterns of said large number etc. an inside pixel electrode pattern Substantially, it is a circle configuration, and other pixel electrode patterns etc. are rings-like, and among the common electrode patterns of said large number etc., most, an inside common electrode pattern is a ring-like, and offers the array substrate for liquid crystal displays of the horizontal electric-field mold which forms a ring-like opening field.

[0042]

In said 11th description, the common electrode pattern of said large number etc. is located the pixel electrode pattern of said large number, etc. and by turns. An inside common electrode pattern is most located at the core of a pixel field that said common wiring and said connection wiring cross, among the common electrode patterns of said large number etc. Said storage electrode contains the 1st storage capacitor pattern and the 2nd storage capacitor pattern which lap with the lower field of the common electrode pattern of said No. 1 outside, and an up field respectively. Said 1st capacitor electrode pattern is connected with the thin film transistor. Said four touching pixel fields correspond to red, green, blue, and white respectively. Said storage electrode and said common electrode lap mutually, and form the 1st storage capacitor. Said storage electrode laps with gate wiring of the touching pixel field, and forms the 2nd storage capacitor. Said pixel electrode pattern and a common electrode pattern are substantially located in the opening circles of the shape of said square except for the common electrode pattern of said No. 1 outside.

[0043]

Said gate wiring is intersected. the 12th description of this invention — gate wiring on a substrate, and; — Data wiring which defines a pixel field including an opening field; in the lower part of said data wiring The semi-conducting material layer formed in a form like said data wiring; It is formed in a part for one corner of said pixel field. It connects with gate wiring and data wiring. A gate electrode, a source electrode, ; With common wiring formed so that it might be parallel to said gate wiring and might be isolated The thin film transistor containing the semi-conductor layer which branched from the drain electrode and said semi-conducting material layer; Gate wiring of the touching pixel field, The storage electrode formed so that it might lap; Are parallel to said data wiring in said pixel field. Connection wiring which is extended from said drain electrode and connected with said storage electrode and said drain electrode; It is formed in the upper part of said storage electrode and connection wiring. In the protective layer in which the 1st contact hole and the 2nd contact hole to which lower common wiring and lower connection wiring are exposed respectively are formed, and the common electrode formed on said protective layer including the common electrode pattern of; large number etc. Among the

common electrode patterns of said large number etc., most an outside common electrode pattern. The common electrode pattern of the No. 1 outside of the touching pixel etc. is connected, and the opening section of a circle configuration is included in the center in a pixel field. Other common electrode patterns etc. In the common electrode which is a ring-like, and the pixel electrode located in the opening circles of said circle configuration including the pixel electrode pattern of; large number etc. Among many pixel electrode patterns etc., it is located in the intersection with which an inside pixel electrode pattern is a circle configuration most and which said common wiring and connection electrode intersect, and other pixel electrode patterns offer the array substrate for liquid crystal displays of the horizontal electric-field mold containing a ring-like pixel electrode.

[0044]

In said 12th description, said common electrode laps with said common wiring and connection wiring, and contacts said common wiring through said 1st contact hole.

Said pixel electrode laps with said common wiring and connection wiring, and contacts said connection wiring through said 2nd contact hole.

The common electrode pattern of said large number etc. is located the pixel electrode pattern of said large number, etc. and by turns. Moreover, an inside common electrode pattern is most located in the center of a pixel field among the common electrode patterns of said large number etc.

Said four touching pixel fields correspond to red, green, blue, and white respectively.

Said common electrode and a pixel electrode consist of indium-tin-oxide (ITO).

Said common electrode is formed in the upper part of said data wiring.

[0045]

The 13th description of this invention is parallel to gate wiring containing a gate electrode, and said gate wiring. The phase which forms gate dielectric film in the upper part of the phase and the; aforementioned gate wiring which form common wiring isolated using the 1st mask process, and common wiring; Said gate wiring is intersected. With data wiring which defines a pixel field including an opening field, the source electrode which branches from said data wiring, and said source electrode In the drain electrode currently isolated and the lower part of said data wiring, a semi-conducting material layer of a configuration like said data wiring, The thin film transistor connected with gate wiring and data wiring at a part for one corner of said pixel field, In the phase which forms the storage electrode which laps with gate wiring of the touching pixel, said data wiring, and connection wiring parallel and connected with said drain electrode substantially using the 2nd mask process The phase formed so that said connection wiring may be connected with a storage electrode and the drain electrode of a thin film transistor, and the phase which forms a protective layer in the upper part of the; aforementioned thin film transistor; The 3rd mask process is used for said protective layer. In the phase which forms the 1st contact hole and the 2nd contact hole, and the phase which forms the common electrode containing the common electrode pattern of; large number etc. in the upper part of said protective layer Among the common electrode patterns of said large number etc., most an outside common electrode pattern It connects with the common electrode pattern of the No. 1 outside of the touching pixel, and the opening section of a circle configuration is included in the center in the pixel field. Most an inside common electrode pattern In the phase formed in the shape of a ring, and the phase which forms the pixel electrode containing the pixel electrode pattern of; large number etc. in the opening circles of said circle configuration Among many pixel electrode patterns etc., most an inside pixel electrode pattern Said common wiring forms in a circle configuration in the part which intersects said connection wiring. Other pixel electrode patterns Said common electrode and a pixel electrode offer the manufacture approach of the array substrate for liquid crystal displays of a horizontal electric-field mold including the phase formed using the 4th mask process including the phase formed in the shape of a ring.

[0046]

In said 13th description, said common electrode is formed by indium-tin-oxide (ITO). Moreover, said common electrode is formed in the upper part of said data wiring.

[0047]

Said gate wiring is intersected. the 14th description of this invention -- gate wiring on a substrate, and; -- An opening field The pixel field to include data wiring to define and; -- the gate pad connected with the end of said gate wiring, and; -- the data pad connected with the end of said data wiring, and; -- the gate pad electrode connected with said gate pad, and; -- the data pad electrode connected with said data pad, and; -- in the lower part of said data wiring The semi-conducting material layer formed in a form like said data wiring; in one corner of said pixel field The thin film transistor containing the semi-conductor layer which was connected with said gate wiring and data wiring, and branched from the source electrode, the drain electrode, and the semi-conducting material layer; It is isolated with said gate wiring. In the common electrode which branches from said common wiring and contains many common electrode patterns etc. most an outside common electrode pattern among the common electrode patterns of said large number etc. Parallel common wiring; in a pixel field The storage electrode which is a square-like and laps with gate wiring of the pixel field which; Touches the common electrode which contains the opening section of a circle configuration in the center; It is located in the opening circles of said circle configuration. The pixel electrode containing many pixel electrode patterns etc.; Are parallel to said data wiring in said pixel field. Connection wiring connected with said pixel electrode and the drain electrode of a thin film transistor is included. Most among the pixel electrode patterns of said large number etc. an inside pixel electrode pattern It is located in the field of said connection wiring. Said pixel electrode It laps with said some of connection wiring. Connection wiring Contact directly and other pixel electrode patterns except the pixel electrode pattern of said No. 1 inside etc. It is a semicircle-like. Said semi-conducting material layer Said source electrode and a drain electrode. It is extended in the lower part of said connection wiring and said storage electrode, and among the common electrode patterns of said large number etc., most, an inside common electrode pattern is a ring-like, and offers the array substrate for liquid crystal displays of the horizontal electric-field mold which constitutes an opening field in the shape of a ring.

[0048]

In said 14th description, the common electrode pattern of said large number etc. is located the pixel electrode pattern of said large number, etc. and by turns.

An inside pixel electrode pattern is most located in the center of the pixel field where said common wiring and said connection wiring cross among the pixel electrode patterns of said large number etc.

Said storage electrode is connected with said thin film transistor through said connection wiring. Said four touching pixel fields correspond to red, green, blue, and white respectively.

Said common electrode pattern and said pixel electrode pattern are most located in the interior of the opening section of said circle configuration altogether except for an outside common electrode pattern.

[0049]

Gate wiring whose 15th description of this invention contains a gate electrode, and the common electrode containing many common electrode patterns etc., In the phase which is isolated with the gate pad connected with the end of said gate wiring, and said gate wiring, and forms parallel common wiring on a substrate using the 1st mask process Among the common electrode patterns of said large number etc., most an outside common electrode pattern The phase formed so that it may be a square-like substantially and may have the opening section of a circle configuration in the center, and the phase which forms gate dielectric film in the upper part of a; aforementioned gate wiring, common electrode, and gate pad and common wiring; Said gate wiring is intersected. Data wiring which defines a pixel field including an opening field, and the source electrode which branched from said data wiring, The drain electrode isolated by carrying out said source electrode and said gate electrode in between, Said data wiring and connection wiring parallel and extended from said drain electrode substantially, In the storage electrode which laps with gate wiring of the touching pixel field, the data pad connected with the end of said data wiring, and the lower part of said data wiring In the semi-conducting material layer and said semi-conducting material layer of a configuration like said data wiring In the phase which forms the semi-conductor layer which branched to the upper part of said gate electrode, said

source electrode and a drain electrode, and the lower part of connection wiring using the 2nd mask process. Said source electrode and a drain electrode lap with the ends of said gate electrode. Said source electrode and a drain inter-electrode semi-conductor layer are exposed. Said gate electrode, a source electrode, a drain electrode, and a semi-conductor layer. The phase which forms a protective layer in the upper part of the phase which constitutes a thin film transistor, the aforementioned data wiring, a source electrode and a drain electrode, a data pad, connection wiring, and a storage electrode; so that said thin film transistor may be covered in the phase which forms a photoresist pattern in the upper part of said protective layer said photoresist pattern. The phase formed so that the contact opening section which exposes said gate pad and a data pad between the common electrode patterns of said large number etc. including an isolation field may be included; so that said photoresist pattern may be covered. The phase which forms a transparent conductive matter layer all over a substrate; The transparent conductive matter layer formed on the photoresist pattern is removed at the same time it removes said photoresist pattern. In the phase which forms a pixel electrode, a gate pad electrode, and a data pad electrode said pixel electrode. Including many pixel electrode patterns etc., it is located in said isolation field and the phase formed so that it may contact connection wiring and directly [said] is included. Among the pixel electrode patterns of said large number etc., most an inside pixel electrode pattern. It is cylindrical and other pixel electrode patterns are semicircles-like, and among the common electrode patterns of said large number etc., most, an inside common electrode pattern constitutes the shape of a ring, and offers the manufacture approach of the array substrate for liquid crystal displays of the horizontal electric-field mold which forms a ring-like opening field.

[0050]

In said 15th description, the common electrode pattern of said large number etc. is located the pixel electrode pattern of said large number, etc. and by turns.

An inside pixel electrode pattern is most located in the center of the pixel field where said common wiring and said connection wiring cross among the pixel electrode patterns of said large number etc.

Through said connection wiring, said storage electrode is formed so that it may connect with said thin film transistor. Moreover, said storage electrode is formed so that it may lap with an outside common electrode pattern most among said common electrode patterns, and it forms the common electrode pattern and storage capacitor of said No. 1 outside.

Most, except for an outside common electrode pattern, altogether, said pixel electrode pattern and a common electrode pattern are formed so that it may be located in the opening circles of said circle configuration.

[0051]

Hereafter, the desirable example by this invention is explained in detail with reference to a drawing.

[Effect of the Invention]

[0052]

since the direction child (directivity) of a liquid crystal molecule is the same also from which direction when the liquid crystal display of the horizontal electric-field mold by this invention is resembled, it sets and an opening field forms a common electrode and a pixel electrode with the pattern structure which is circular structure, a contrast ratio can be raised without reversal of the color in a specific include angle, and the property of an angle of visibility can be raised. And superposition fields with a black matrix decrease in number, and there is the advantage which can minimize the difference of the brightness generated according to a product at the time of a fusion mistake anyne.

[Example 1]

[0053]

This example is an example about the array substrate structure for liquid crystal displays of the horizontal electric-field mold of ring-like electrode structure, and its production process. The array substrate by 5 mask processes and its production process are explained on the basis of the number of the mask processes which are FOTO etching processes defined by the patterning

process which used the photosensitive matter especially.

[0054]

Drawing 5 is the top view of the array substrate for liquid crystal displays of the horizontal electric-field mold of the electrode structure of the shape of a ring by the example 1 of this invention.

As illustrated, the gate wiring 112 is formed in the 1st direction on the substrate 100, the data wiring 128 is formed in the 2nd direction where the gate wiring 112 crosses, and thin film transistor T is formed in the crossover point of the gate wiring 112 and the data wiring 128.

[0055]

The crossover field of said gate wiring 112 and the data wiring 128 is defined by the pixel field P, and the pixel electrode 138 and the common electrode 120 are formed in the pixel field P.

Especially, in this example, the pixel electrode 138 and the common electrode 120 are formed by the circular pattern, and also from which direction, the direction child of a liquid crystal molecule is the same, and it is characterized by being the structure which can prevent reversal of a color occurring at an angle of specification.

[0056]

When it explains in more detail, the common wiring 114 is formed so that fixed spacing isolation may be carried out with the gate wiring 112 in said 1st direction, and it dissociates from the common wiring 114, and the common electrode 120 mentioned above is constituted. The common electrode 120 by this example is formed in the field which encloses the frame part of the pixel field P, and consists of 2nd community electrode pattern 120b of ring-like electrode structure by making said common wiring 114 into a medial axis within the opening section 118 of 1st community electrode pattern 120a with the opening section 118 of a circle configuration, and said 1st community electrode pattern 120a.

[0057]

1st storage electrode pattern 140a and 2nd storage electrode pattern 140b are formed in the location which lapped with said 1st community electrode pattern 120a and 1st direction, and the connection wiring 141 is formed in the direction which intersects the common wiring 114 at said 1st storage electrode pattern 140a and 2nd storage electrode pattern 140b. said connection wiring 141 — the [said] — the [one common electrode pattern 120a and] — the pixel electrode 138 which consisted of 1st pixel electrode pattern 138a of ring-like electrode structure and 2nd pixel electrode pattern 138b which consisted of crossover points of the connection wiring 141 and the common wiring 114 by the circular pattern has branched in the section between 2 common electrode pattern 120b.

[0058]

Said pixel electrode 138 constitutes the multi-domain structure separated in four domains with the connection wiring 141 and the common wiring 114 which were mentioned above. And the superposition field between said 1st storage electrode pattern 140a, and 2nd storage electrode pattern 140b and 1st community electrode pattern 120a is characterized by constituting the storage capacitor Cst.

[0059]

On the other hand, in order that said 1st storage electrode pattern 140a and 2nd storage electrode pattern 140b may prevent weakening of the horizontal electric-field mold generated between 1st community electrode pattern 120a and 1st pixel electrode pattern 138a, they are the range in which the outline of 1st community electrode pattern 120a is exposed, and it is important for them to be formed in an area smaller than 1st community electrode pattern 120a.

[0060]

That is, since a common electrode and a pixel electrode make a liquid crystal molecule arrange along with the equipotential line vertical to an electrode in both of the locations by having the structure which can constitute the opening field of ring-like structure according to this example, the outstanding property of an angle of visibility can be acquired. Moreover, the horizontal electric field formed in said common electrode and pixel inter-electrode make a liquid crystal molecule arrange, as show in a drawing, compensate the color shift of the direction of the diagonal line of each pixel field, and can solve the problem of reversal of the color in the

direction of ± 45 degree which appear with the liquid crystal display component of a general horizontal electric field mold method.

[0061]

Drawing 6 A thru/or drawing 6 E are the top views having shown the production process of the array substrate for liquid crystal displays of the horizontal electric-field mold of five masks by the example 1 of this invention according to the phase, and is related with the production process of the array substrate for liquid crystal displays of the horizontal electric-field mold of the electrode structure of the shape of a ring by said example 1.

[0062]

Drawing 6 A is a phase formed according to the 1st mask process using the 1st metal matter on a substrate 110 so that the gate wiring 112 and the common wiring 114 may be mutually isolated in the 1st direction.

[0063]

Said 1st mask process is a process which performs a patterning process using the photoresist pattern which exposed, developed negatives and etched [use the photoresist which is the photosensitive matter and], and was formed.

[0064]

In the phase which forms said gate wiring 112, the phase which forms the gate electrode 116 which branches from the gate wiring 112 is included.

[0065]

Per pixel field P defined by the smallest unit which branches from said common wiring 114 and embodies a screen in the phase which forms said common wiring 114 1st community electrode pattern 120a which is formed in the location which encloses the frame part of the pixel field P, and has the opening section 118 of a circle configuration in a center section, The phase which forms the common electrode 120 which consists of 2nd community electrode pattern 120b formed by the ring-like pattern in said opening section 118 is included.

[0066]

Drawing 6 B is the phase which forms gate dielectric film (not shown) in a wrap field for said gate wiring 112 and common wiring 114, and a phase which forms the semi-conductor layer 126 in a wrap field for the gate electrode 116 according to the 2nd mask process.

[0067]

Although it has not shown in detail a drawing, said semi-conductor layer 126 consists of structures where the laminating of the active layer which consisted of amorphous silicon matter, and the ohmic contact layer which consisted of impurity amorphous silicon matter was carried out to order.

[0068]

Drawing 6 C is a phase which forms the data wiring 128 so that the gate wiring 112 may be intersected in the 2nd direction in the semi-conductor layer 126 according to the 3rd mask process which used the 2nd metal matter for the wrap field.

[0069]

In this phase, the phase which forms the source electrode 130 which branched from said data wiring 128, and the drain electrode 132 located so that it may be isolated with the source electrode 130 is included. Moreover, in this phase, it is located so that the source electrode 130 and the drain electrode 132 may lap with the semi-conductor layer 126 in part, and this phase exposes the intrinsic-semiconductor matter of the semi-conductor layer 126 of the section between said source electrode 130 and the drain electrodes 132, and includes the phase which forms Channel Ch.

[0070]

Said gate electrode 116, the semi-conductor layer 126, the source electrode 130, and the drain electrode 132 constitute thin film transistor T.

[0071]

Drawing 6 D is a phase which forms the protective layer (not shown) which has the drain contact hole 134 to which the drain electrode 132 is exposed in part according to the 4th mask process using an insulating material in a wrap field in said thin film transistor T.

[0072]

Drawing 6 E is a phase which forms in the upper part of said protective layer the storage electrode 140 connected with said thin film transistor T, and the pixel electrode 138 which consisted of circular patterns according to the 5th mask process using the transparent conductive matter.

[0073]

If it explains in more detail, located 1st storage electrode pattern 140a and 2nd storage electrode pattern 140b will be formed so that it may lap respectively in said 1st community electrode pattern 120a and 1st direction, and the connection wiring 141 will be formed per pixel field P so that the core of the common wiring 114 may be intersected.

[0074]

Moreover, 1st pixel electrode pattern 138a which consisted of ring-like patterns is formed in the section between said 1st community electrode pattern 120a and 2nd community electrode pattern 120b, and 2nd pixel electrode pattern 138b of a circular pattern is formed in the crossover point of said common wiring 114 and connection wiring 141.

[0075]

The domain where said pixel field P has the property of the array of a mutually different liquid crystal molecule according to the field where the connection wiring 141 and the common wiring 114 cross is constituted. As an example, they are 4 domain structures in this example. Moreover, in this example, according to the structural description the pixel electrode 138 and whose common electrode 120 are circular pattern structures, since the direction of liquid crystal is the same also from which direction, it prevents a contrast ratio falling by reversal of a color at a specific include angle.

[0076]

Said transparent conductive matter is chosen from one of indium-tin-oxide (ITO), indium-tin-zinc-oxide (ITZO), and indium-zinc-oxide (IZO).

[Example 2]

[0077]

This example is an example about the array substrate for liquid crystal displays of the horizontal electric-field mold of the electrode structure of the screw type by 5 mask processes, and its production process.

[0078]

According to the structure of this example, though it is the structure where the common electrode and the pixel electrode were directly connected without the special connection pattern with common wiring and a storage electrode unlike the electrode structure of the shape of a ring by said example 1, the direction child of a liquid crystal molecule can be made the same also from which direction like said example 1.

[0079]

explanation of the part which drawing 7 is the rough top view of the array substrate for liquid crystal displays of the horizontal electric-field mold of the electrode structure of the screw type by the example 2 of this invention, and overlaps said drawing 5 is simple -- or it omits.

As illustrated, the common wiring 214 is formed in the 1st direction, and it connects with common wiring. In the pixel field P It is located in the field which encloses the frame part of the pixel field P, and 2nd community electrode pattern 220b formed in the screw type is formed in the opening section 218 of 1st community electrode pattern 220a which has the opening section 218 of a circle configuration in the interior, and said 1st community electrode pattern 220a. Said 1st community electrode pattern 220a and 2nd community electrode pattern 220b constitute the common electrode 220, and the common electrode 220 and common wiring 214 are characterized by being an one apparatus pattern.

[0080]

It connects with the drain electrode 232 of thin film transistor T, and it connects with the storage electrode 240 formed in the condition of having insulated with 1st community electrode pattern 220a so that it might lap, and the storage electrode 240, and the pixel electrode 238 of screw type structure which laps with 2nd community electrode pattern 220b is formed in said

pixel field P. Said storage electrode 240 and pixel electrode 238 constitute an one apparatus pattern, and said 2nd community electrode pattern 220b and pixel electrode 238 maintain fixed spacing mutually, and they constitute screw type structure.

[0081]

this time -- said storage electrode 240 -- the -- being formed in 1 common electrode pattern 220a and the corresponding field -- responding -- the -- a formation of the horizontal electric field between 1 common electrode pattern 220a and the pixel electrode 238 sake -- the -- it is important to be located in the interior from 1 common electrode pattern 220a. And the superposition field between said 1st community electrode pattern 220a and storage electrodes 240 constitutes the storage capacitor Cst, after the insulator has intervened.

[0082]

According to the structure of the electrode by this example, the opening field located between two electrodes can be formed with screw type structure, and the direction child of liquid crystal acquires the same effectiveness also from which direction.

[0083]

Drawing 8 A thru/or drawing 8 E are the top views having shown the production process of the array substrate for liquid crystal displays of the horizontal electric-field mold of the electrode structure of the screw type of five masks by the example 2 of this invention according to the phase, simple [of the explanation of the part which overlaps said drawing 6 A thru/or drawing 6 E] is carried out, or it is omitted.

[0084]

Drawing 8 A is a phase which forms the gate wiring 212, the common wiring 214, and the common electrode 220 according to the 1st mask process on a substrate 210.

[0085]

Said gate wiring 212 and common wiring 214 are mutually isolated in the same direction, and are formed, said common electrode 220 constitutes the common wiring 214 and an one apparatus pattern, and the common electrode 220 is located in the field which encloses the periphery of the pixel field P. It consists of 1st community electrode pattern 220a with the opening section 218 of a circle configuration, and 2nd community electrode pattern 220b which was located in the opening section 218 and consisted of screw type structures.

[0086]

Drawing 8 B is a phase which forms the semi-conductor layer 226 according to gate dielectric film (not shown) and the 2nd mask process, and drawing 8 C is a phase which forms the data wiring 228 which intersects the gate wiring 212 according to the 3rd mask process.

[0087]

In this phase, the intrinsic-semiconductor matter layer (not shown) of the semi-conductor layer 226 of the isolation section between the source electrode 230 and the drain electrode 232, the source electrode 230, and the drain electrode 232 is exposed, and the phase which forms Channel Ch is included.

[0088]

Said gate electrode 216, the semi-conductor layer 226, the source electrode 230, and the drain electrode 232 constitute thin film transistor T.

[0089]

Drawing 8 D is a phase which forms a protective layer (not shown) and forms a protective layer (not shown) with the drain contact hole 234 to which the drain electrode 232 is exposed in part according to the 4th mask process.

[0090]

Drawing 8 E is a phase which forms the pixel electrode 238 of screw type structure which laps 2nd community electrode pattern 220b which branched through said drain contact hole 234 from the storage electrode 240 connected with the drain electrode 232, and the storage electrode 240, and was mentioned above according to the 5th mask process so that fixed spacing isolation may be carried out.

[Example 3]

[0091]

This example is an example about the array substrate structure for liquid crystal displays of the horizontal electric-field mold of the electrode structure of the shape of a ring by 4 mask processes which reduced one mask process from said example 1, and its production process.
[0092]

This example is characterized by decreasing a mask process using the diffraction exposing method by forming a semi-conductor layer, data wiring, and a channel at one mask process.
[0093]

Drawing 9 is the top view of the array substrate for liquid crystal displays of the horizontal electric-field mold of the electrode structure of the shape of a ring by the example 3 of this invention, and is simple-explained focusing on the structural property distinguished from said example 1.
[0094]

As illustrated, it is formed so that the gate wiring 312 and the data wiring 328 may cross. Thin film transistor T is formed in the crossover point of the gate wiring 312 and the data wiring 328, it connects with thin film transistor T, and the pixel electrode 338 is formed. In the same direction as the gate wiring 312 The formed common wiring 314 was located so that it might be isolated, and the common electrode 320 has branched from the common wiring 314 so that it may be located the pixel electrode 338 and by turns. Said pixel electrode 338 and common electrode 320 constitute ring-like electrode structure.
[0095]

With said gate wiring 312, by the data wiring 328, the gate electrode 316 has branched, and the source electrode 330 has branched, and the drain electrode 332 is located so that it may be isolated with the source electrode 330. The semi-conducting material layer 325 is formed with said data wiring 328, the source electrode 330, the drain electrode 332, and the pattern structure of corresponding, and said source electrode 330 field and drain electrode 332 field, and the corresponding semi-conducting material layer 325 of a location constitute the semi-conductor layer 326 contained in thin film transistor T.
[0096]

Hereafter, the production process of the liquid crystal display of the horizontal electric-field mold of four masks by this example is explained in more detail with reference to drawing.
[0097]

Drawing 10 A thru/or drawing 10 D are the top views having shown the production process of the array substrate for liquid crystal displays of the horizontal electric-field mold of the general circular electrode structure of four masks by the example 3 of this invention according to the phase, and is explained focusing on the process-description distinguished from 5 mask processes by said example 1.
[0098]

Drawing 10 A is a phase which forms the gate wiring 312 and the common wiring 314 according to the 1st mask process on a substrate 310.
[0099]

In this phase, it describes above including the phase which forms the gate electrode 316 connected with said gate wiring 312, and the common electrode 320 connected with the common wiring 314. The common electrode 320 consists of 1st community electrode pattern 320a and 2nd community electrode pattern 320b.
[0100]

Drawing 10 B is a phase which carries out patterning of the pure amorphous silicon matter, the impurity amorphous silicon matter, and the metal matter to them simultaneously, and forms the same semi-conducting material layer 325 of pattern structure, and the data wiring 328 in them according to the 2nd mask process after forming gate dielectric film, the pure amorphous silicon matter, the impurity amorphous silicon matter, and the metal matter in said gate wiring 312, the gate electrode 316, the common wiring 314, and a common electrode 320 wrap field in order.
[0101]

It gets down and the phase which forms the drain electrode 332 so that fixed spacing isolation may be carried out with the source electrode 330 where the source electrode 330 which laps

with one flank of the gate electrode 316 mentioned above branched is included in said data wiring 328. Said semi-conducting material layer 325 is formed with the corresponding pattern structure including the isolation section between the source electrode 330 and the drain electrode 332, the source electrode 330, and the drain electrode 332.

[0102]

On this paragraph story, it is characterized by using the diffraction exposing method for adjusting the thickness of a mask according to a selection field.

[0103]

If said diffraction exposing method is explained in more detail, after vapor-depositing a silicon matter layer (a pure amorphous silicon matter layer, impurity amorphous silicon matter layer) and a metal layer in order, the photoresist of the 1st thickness value is applied to the upper part of said metal layer, and although not proposed in detail on a drawing, an exposure process will be performed after arranging the mask which has the transparency section, the transfective section, and the cutoff section in the upper part of said photoresist. If the exposed part assumes that a patterning process is performed by the negative type which remains as a pattern, the channel formation section and the corresponding field It corresponds with the transfective section of the mask for exposure. The formation section of a source electrode and a drain electrode A development process is led by arranging the other field corresponding to the transparency section, so that it may correspond with the cutoff section. The formation section of a source electrode and a drain electrode The 1st thickness value and the channel formation section are formed by PR pattern by which patterning was carried out so that it might become the 2nd thickness of thickness thinner than the 1st thickness.

[0104]

Carry out ashing processing of said PR pattern at 2nd thickness extent, and the phase which forms PR pattern to which the silicon matter layer of said channel formation section is exposed is performed. The impurity amorphous silicon layer of the channel formation section exposed using said PR pattern by which ashing processing was carried out is removed, and the phase which exposes the pure amorphous silicon layer which constitutes the lower layer, and constitutes the exposed pure amorphous silicon layer field as a channel is included.

[0105]

Semi-conducting material layer of field which lapped with said gate electrode 316, source electrode 330, and drain electrode 332 325 field constitutes the semi-conductor layer 326, and said gate electrode 316, the semi-conductor layer 326, the source electrode 330, and the drain electrode 332 constitute thin film transistor T.

[0106]

Drawing 10 C is a phase which forms a protective layer (not shown) with the drain contact hole 334 to which said drain electrode 332 is exposed in part according to the 3rd mask process, after forming an insulating material in a wrap field for said thin film transistor T.

[0107]

Drawing 10 D is a phase which forms in the upper part of said protective layer (not shown) the pixel electrode 338 connected with the drain electrode 332 through the drain contact hole 334.

[0108]

1st storage electrode pattern 340a located so that it may lap with the 1st community electrode pattern 320a field which was connected with the drain electrode 332 and adjoined substantially on this paragraph story, if it explains in more detail, 2nd storage electrode pattern 340b located in the location which faces said 1st storage electrode pattern 340a so that it may lap with a 1st community electrode pattern 320a field, Said 1st storage electrode pattern 340a and 2nd storage electrode pattern 340b are connected, and the connection wiring 341 located so that said common wiring 314 may be intersected is formed. moreover, the pattern structure which branched from said connection wiring 341 — it is — the — the [one common electrode pattern 320a and] — the [1st pixel electrode pattern 338a located in the section between 2 common electrode pattern 320b, and] — 2nd pixel electrode pattern 338b located in the interior of 2 common electrode pattern 320b is formed.

[0109]

Said 1st pixel electrode pattern 338a and 2nd pixel electrode pattern 338b constitute the pixel electrode 338, and 1st storage electrode pattern 340a, 2nd storage electrode pattern 340b, the connection wiring 341, 1st pixel electrode pattern 338a, and 2nd pixel electrode pattern 338b hit an one apparatus pattern.

[0110]

Horizontal electric-field actuation with the liquid crystal display by this example is performed by the difference of the common electrode formed at the 1st mask process, and the pixel inter-electrode electrical potential difference formed at the 4th mask process.

[Example 4]

[0111]

This example is an example about the structure of the array substrate for liquid crystal displays of the horizontal electric-field mold of the electrode structure of the screw type by 4 mask processes which reduced one mask process from said example 2, and its production process.

[0112]

This example is characterized by shortening two mask processes at one mask process by [as / in said example 3] forming a semi-conductor layer, data wiring, and a channel at one mask process using the diffraction exposing method.

[0113]

Drawing 11 is the top view of the array substrate for liquid crystal displays of the horizontal electric-field mold of the electrode structure of the screw type by the example 4 of this invention, and is simple-explained focusing on the structural property distinguished from said example 2.

[0114]

As illustrated, it is formed so that the gate wiring 412 and the data wiring 428 may cross, and thin film transistor T is formed in the crossover point of the gate wiring 412 and the data wiring 428. It connects with thin film transistor T, the pixel electrode 438 is formed, and the pixel electrode 438 and the common electrode 420 located by turns are formed in the common wiring 414 located so that it might be mutually isolated in the same direction as the gate wiring 412. Said pixel electrode 438 and common electrode 420 constitute screw type structure.

[0115]

With said gate wiring 412, by the data wiring 428, the gate electrode 416 has branched, and the source electrode 430 has branched, and the drain electrode 432 is located so that it may be isolated with the source electrode 430. The semi-conducting material layer 425 is formed with said data wiring 428, the source electrode 430, the drain electrode 432, and the pattern structure of corresponding, and said source electrode 430 field and drain electrode 432 field, and the corresponding semi-conducting material layer 425 of a location constitute the semi-conductor layer 426 contained in thin film transistor T.

[0116]

Hereafter, the production process of the liquid crystal display of the horizontal electric-field mold of the screw type structure by 4 mask processes is explained in more detail with reference to drawing.

[0117]

Drawing 12 A thru/or drawing 12 D are the top views having shown the production process of the array substrate for liquid crystal displays of the horizontal electric-field mold of the screw type structure of four masks by the example 4 of this invention according to the phase, and is explained focusing on the process-description distinguished from said drawing 10 A thru/or drawing 10 D.

[0118]

Drawing 12 A is a phase which forms the gate wiring 412 and the common wiring 414 according to the 1st mask process. In the gate wiring 412, the gate electrode 416 branches and it is located in the field which encloses the periphery of the pixel field P in the common wiring 414. 1st community electrode pattern 420a with the opening section 418 of a circle configuration and 2nd community electrode pattern 420b which consisted of screw type structures in the opening section 418 have branched.

[0119]

Drawing 12 B is a phase which forms the semi-conducting material layer 425, the data wiring 428, the semi-conductor layer 426, the source electrode 430, the drain electrode 432, and Channel Ch in a wrap field for said gate wiring 412, the common wiring 414, 1st community electrode pattern 420a, and 2nd community electrode pattern 420b according to the 2nd mask process.

[0120]

Said gate electrode 416, the semi-conductor layer 426, the source electrode 430, and the drain electrode 432 constitute thin film transistor T.

In this phase, the diffraction exposing method of a principle as shown in said drawing 10 is applicable.

[0121]

Drawing 12 C is a phase which forms the protective layer (not shown) which has the drain contact hole 434 to which said thin film transistor T is located in a wrap field, and said drain electrode 432 is exposed in part.

[0122]

Drawing 12 D is a phase which forms in the upper part of said protective layer (not shown) the pixel electrode 438 connected with the drain electrode 432 through the drain contact hole 434.

[0123]

When it explains in more detail, on this paragraph story, substantially, it connects with the drain electrode 432, branches from the storage electrode 440 and said storage electrode 440 to said 1st community electrode pattern 420a and a corresponding field, and 2nd community electrode pattern 420b includes the phase which forms the pixel electrode 438 of the screw type structure which maintains and encloses fixed spacing.

[0124]

In this invention, in order to offer the liquid crystal display of the horizontal electric-field mold of the electrode structure of the shape of a ring by the mask process simplified further, a lift-off process is applied as follows.

[0125]

Drawing 13 A thru/or drawing 13 D are the rough process sectional views about a general lift-off process.

[0126]

Drawing 13 A defines the 1st field VIa which is the 1st pattern formation section, and the 2nd field VIb which constitutes the periphery of the 1st field VIa on a substrate 450. The PR pattern 452 is formed in the 2nd field VIb using the photosensitive matter. Drawing 13 B is the phase where form the PR pattern 452 in a wrap field, and it forms the pattern matter 454 in the whole surface.

For example, said pattern matter 454 is chosen from the metal matter or the transparent conductive matter.

[0127]

Drawing 13 C is a phase which carries out the strip of said PR pattern 452. At this time, 1st field 454a which is the pattern matter 454 of a wrap field is removed by the lift-off method with the PR pattern 452 in the PR pattern 452.

[0128]

Thereby, pattern matter 454b which remains on the 1st field (VIa of said drawing 13 C) constitutes the metal pattern 456 like [in drawing 13 D].

[0129]

According to such a lift-off process, a desired pattern can be formed through the process simplified from the FOTO etching process that a series of complicated processes, such as exposure, development, and etching, are required.

[0130]

Hereafter, in the example of further others of this invention, the production process to which the lift-off process was applied shows about the liquid crystal display of a horizontal electric-field mold.

[Example 5]**[0131]**

This example is an example about 3 mask array process including the lift-off process defined by the process which uses the remaining metal matter as a pattern by carrying out the lift off of the metal matter which has covered the photoresist pattern through the process which carries out the strip of said photoresist pattern on the substrate with which the photoresist pattern was formed after vapor-depositing the metal matter completely. It is characterized by forming especially a common electrode at the same process as common wiring, and a pixel electrode consisting of 3rd mask processes by the transparent conductive matter.

[0132]

Drawing 14 is a top view containing the pad section of the array substrate for liquid crystal displays of the horizontal electric-field mold of the electrode structure of the shape of a ring by the example 5 of this invention. It simple-explains focusing on the structural property distinguished from said example 3.

[0133]

As illustrated, it is formed so that the gate wiring 512 and the data wiring 528 may cross, and thin film transistor T which consisted of the gate electrode 516, a semi-conductor layer 526, a source electrode 530, and a drain electrode 532 is formed in the crossover point of the gate wiring 512 and the data wiring 528. It connects with thin film transistor T, the pixel electrode 538 is formed, and the pixel electrode 538 and the common electrode 520 located by turns are formed in the common wiring 514. Said pixel electrode 538 and common electrode 520 consist of ring-like structures.

[0134]

The storage electrode 535 formed so that it might lap with the gate wiring 512, the connection wiring 533 formed in parallel, and the preceding paragraph gate wiring 512 is connected with said drain electrode 532 by the one apparatus pattern.

[0135]

Moreover, the gate pad 1310 and the data pad 1314 are respectively formed in the end of the gate wiring 512 and the data wiring 528. In the 1st opening section XVIa which laps with the gate pad 1310 and the data pad 1314, and the 2nd opening section XVIb, the gate pad electrode 1318 and the data pad electrode 1320 which are connected with said gate pad 1310 and the data pad 1314 are formed respectively.

[0136]

In this example, even when said pixel electrode 538 has no special storage electrode by carrying out extended formation of the drain electrode 532 by three patterns, it is the structure connected with the drain electrode 532.

[0137]

At the 4th mask process and the 5th mask process which were mentioned above although it had not shown in detail a drawing, although it was the method with which the storage electrode which contains a pixel electrode through the drain contact hole of a protective layer, and a drain electrode are made to connect, at this example, it is characterized by omitting a special contact hole and making the pixel electrode 538 and the drain electrode 532 connect according to a lift-off process, although a protective layer contains.

[0138]

The semi-conductor layer 526 mentioned above is contained in the semi-conducting material layer 525 which constitutes said data wiring 528, the source electrode 530, the drain electrode 532, and the corresponding pattern structure, and is substantially characterized by forming the semi-conducting material layer 525, the data wiring 528, the source electrode 530, and the drain electrode 532 at the same mask process using the diffraction exposing method.

[0139]

The storage electrode 535 located so that it may lap with said gate wiring 512 constitutes the storage capacitor Cst, after the insulator has intervened.

[0140]

Said common electrode 520 is the pixel field P, and consists of 1st community electrode pattern

520a with the opening section 518 of a circle configuration, and 2nd community electrode pattern 520b of the ring structure located in the opening section 518.

[0141]

Said pixel electrode 538 is formed of a lift-off process, is the part contacted with the connection wiring 533, and is connected electrically, and it is located between 1st community electrode pattern 520a and 2nd community electrode pattern 520b so that the common wiring 514 may not lap. The pixel electrode 538 is common wiring 514 field, it is located so that it may be isolated mutually, and on the whole, it consists of 1st pixel electrode pattern 538a which constitutes elliptical, and 2nd pixel electrode pattern 538b which is the contrast region of 2nd community electrode pattern 520b, is the crossover point of the common wiring 514 and the connection wiring 533, and is located in the connection wiring 533. Mutually, said 1st pixel electrode pattern 538a and 2nd pixel electrode pattern 538b are independence-patterns, and are characterized by existing. Respectively, 1st pixel electrode pattern 538a etc. is located so that the symmetry of the common wiring 514 may be carried out to the shape of a semicircle up and down in between.

[0142]

Said pixel electrode 538, the gate pad electrode 1318, and the data pad electrode 1320 are characterized by being formed through a lift-off process.

[0143]

Hereafter, drawing 15 A thru/or drawing 15 D are the flat surfaces which showed the production process of the array substrate for liquid crystal displays of the horizontal electric-field mold of the electrode structure of the shape of a ring by the example 5 of this invention according to the phase.

[0144]

Drawing 25 A thru/or drawing 25 D, and drawing 26 A thru/or drawing 26 D are the sectional views having shown the cut cross section respectively along with the XVa-XVa line of said drawing 15 A thru/or drawing 15 D, and the XVb-XVb line.

[0145]

Drawing 15 A, drawing 25 A, and drawing 26 A are phases formed according to the 1st mask process on a substrate 510 so that the gate wiring 512 and the common wiring 514 may be mutually isolated in the 1st direction. Furthermore, the phase which forms the gate pad 1310 is included in the end of the gate wiring 512.

[0146]

In the phase which forms said common wiring 514, the phase which forms the common electrode 520 in the location which encloses the periphery of the pixel field P, including the phase which forms 1st community electrode pattern 520a with the opening section 518 of a circle configuration and ring-like 2nd community electrode pattern 520b located in the opening section 518 is also included.

[0147]

In the phase which forms said gate wiring 512, the phase which forms the gate electrode 516 which branched to the pixel field P with said gate wiring 512 is included.

[0148]

Drawing 15 B, drawing 25 B, and drawing 26 B according to the 2nd mask process using the diffraction exposing method like [in said drawing 12 B] The data wiring 528 located in the 1st direction and the 2nd crossing direction, and the source electrode 530 which branched from said data wiring 528, The drain electrode 532 located so that it may be isolated with said source electrode 530, It is located in said data wiring 528, the source electrode 530 and the drain electrode 532, and a corresponding field, and in said source electrode 530 and the drain electrode 532, and the corresponding lower field The phase which forms the channel Ch located in the section between the semi-conducting material layer 525 with the semi-conductor layer 526, and said source electrodes 530 and drain electrodes 532 is included.

The data pad 1314 is located in the end of said data wiring 528.

[0149]

Substantially, after forming gate dielectric film 1312, semi-conducting material, and the data

wiring matter in order, 2 mask processes mentioned above are performed.

[0150]

In the phase which forms said drain electrode 532, the phase which forms in the drain electrode 532 and an one apparatus pattern the storage electrode 535 located so that it may lap with the connection wiring 533 formed in the 2nd direction and the preceding paragraph gate wiring 512 is included.

[0151]

A protective layer 1316 is formed in said pixel field P in drawing 15 C, drawing 25 C, and drawing 26 C. The PR pattern 536 for lift-off processes with the isolation field II and the 1st opening section XVIa, and the 2nd opening section XVIb is formed. The PR pattern 536 is vapor-deposited to a wrap field, and the transparent conductive matter 537 is vapor-deposited on the whole surface.

said isolation field II — the — the [one common electrode pattern and] — it does not lap in said common wiring 514 between two common electrode patterns, and consists of a 1st isolation field IIa in which it is located so that symmetry structure may be isolated mutually, and a 2nd isolation field IIc which is a crossover field during said connection wiring 533 and common wiring 514, and is located in said connection wiring 533 on the basis of said common wiring 514. The isolation field II and the opening section XVI are consecutiveness processes, and the transparent conductive matter 537 located in said 1st isolation field IIa, the 2nd isolation field IIc and the 1st opening section XVIa, and the 2nd opening section XVIb is respectively connected with the connection wiring 533, the gate pad 1310, and the data pad 1314 in the field in which a pixel electrode and a pad electrode are formed.

[0152]

If the phase which etches the protective layer 1316 mentioned above is explained in more detail, in said 1st opening section XVIa, by etching gate dielectric film 1312 and a protective layer 1316, the gate pad 1310 is exposed, in the 2nd opening section XVIb, only a protective layer 1316 will be etched and the data pad 1314 of the lower layer will be exposed.

[0153]

Moreover, after forming beforehand the PR pattern with which the clitoris of the configuration to desire was carried out, the lift-off method patterning process mentioned above vapor-deposits a metal layer for a PR pattern all over a wrap substrate, performs the process which carries out the strip of the PR pattern, and is performed by forming in an electrode pattern the metal layer pattern which removed the upper part of PR pattern by the lift-off method, and was left [upper part] behind in the wrap metal layer.

[0154]

After drawing 15 D, drawing 25 D, and drawing 26 D vapor-deposit said PR pattern (536 of said drawing 15 C) all over a wrap substrate using the transparent conductive matter, they carry out the strip of said PR pattern (536 of said drawing 15 C), and carry out the lift off of the transparent conductive matter (537 of said drawing 15 C) of a wrap field for said PR pattern (536 of said drawing 15 C). The left-behind transparent conductive matter (537 of said drawing 15 C) is a phase respectively formed in the pixel electrode 538, the gate pad electrode 1318, and the data pad electrode 1320.

[0155]

Said pixel electrode 538 is the transparent conductive matter left behind to said 1st isolation field (IIa of said drawing 15 D), and the 2nd isolation field (IIc of said drawing 15 D), it is located between 1st community electrode pattern 520a and 2nd community electrode pattern 520b, and on the basis of the common wiring 514, it is located so that it may be isolated mutually. That is, it consists of 1st pixel electrode pattern 538a which does not lap with said common wiring 514, and 2nd community electrode pattern 520b located in the connection wiring 533 at the point where the common wiring 514 and the connection wiring 533 cross. Although 1st pixel electrode pattern 538a and 2nd pixel electrode pattern 538b contact the connection wiring 533, the common wiring 514 does not contact.

[0156]

Said gate pad electrode 1318 and the data pad electrode 1320 hit respectively the transparent

conductive matter (537 of said drawing 15 C, drawing 25 C, and drawing 26 C) pattern left behind to said 1st opening section XVIa and the 2nd opening section XVIb.

[0157]

That is, the gate pad electrode 1318 is formed in said 1st opening section XVIa and the corresponding field, and it connects with the gate pad 1310 electrically, and the data pad electrode 1320 is formed in said 2nd opening section XVIb and the corresponding field, and it connects with the data pad 1314 electrically.

[Example 6]

[0158]

This example is 3 mask processes of having used a lift-off process like said example 5, and is an example about the array substrate for liquid crystal displays and production process of a horizontal electric-field mold of a screw type. [of electrode structure] Especially, a common electrode and a pixel electrode are characterized by consisting of same mask processes (the 3rd mask process) by the transparent conductive matter.

[0159]

Drawing 16 is the top view of the array substrate for liquid crystal displays of the horizontal electric-field mold of the circular electrode structure by the example 6 of this invention, and is simple-explained focusing on the structural property distinguished on the basis of the array substrate structure by said drawing 14.

[0160]

As illustrated, the pixel electrode 638 and the common electrode 620 are characterized by the pixel electrode 638 and the common electrode 620 consisting of same process and same matter mutually according to being arranged by turns at the configuration of a disc electrode.

[0161]

If it explains in more detail, said pixel electrode 638 and common electrode 620 will consist of transparent conductive matter using a lift-off process, and the common electrode 620, the common wiring 614 and the pixel electrode 638, and the connection wiring 633 will be connected by the method which contacts mutually directly. Therefore, the paragraph during said common electrode 620 and connection wiring 633 can be prevented. The common electrode 620 is the field which laps with the common wiring 614, and forms the field which laps with the connection wiring 633, and the pixel electrode 638 by the shape of a semicircle to which the pattern was abbreviated. At this time, 2nd pixel electrode pattern 638b formed in the crossover point of the connection wiring 633 and the common wiring 614 is formed only in the connection wiring 633 and a corresponding field.

[0162]

Hereafter, drawing 17 A thru/or drawing 17 D are the top views having shown the production process of the array substrate for liquid crystal displays of the horizontal electric-field mold of the circular electrode structure by the example 6 of this invention according to the phase, and is simple-explained to be the production process of said drawing 15 A thru/or drawing 15 D focusing on the production process distinguished.

[0163]

Drawing 17 A is a phase which forms the gate wiring 612 and the common wiring 614 according to the 1st mask process on a substrate 610 so that it may be isolated mutually.

[0164]

Drawing 17 B is a phase which forms the semi-conducting material layer 625 which it is located in said data wiring 628, the source electrode 630 and the drain electrode 632, and a corresponding field, is a field corresponding to said source electrode 630 and the drain electrode 632, and has the semi-conductor layer 626 at the same time it forms the data wiring 628, the source electrode 630, and the drain electrode 632 according to the 2nd mask process using the diffraction exposing method like [in said drawing 14 B]. Moreover, in the phase of drawing 17 B, the channel Ch located in the section between said source electrodes 630 and drain electrodes 632 is formed.

[0165]

Said gate electrode 616, the semi-conductor layer 626, the source electrode 630, and the drain

electrode 632 constitute thin film transistor T.

[0166]

In drawing 17 C, the PR pattern 636 for lift-off processes is formed in said pixel field P, and the gate insulating material exposed in said PR pattern 636 using a kind of mask is removed. Moreover, the substrate field covered only with gate dielectric film is exposed, and the transparent conductive matter 637 is vapor-deposited for said PR pattern 636 all over a wrap substrate.

[0167]

The isolation field EA between said PR patterns 636 is a consecutiveness process, and hits the field in which a common electrode and a pixel electrode are formed. That is, a common electrode is formed in the isolation fields EA1, EA2, EA5, and EA6, and a pixel electrode is formed in the isolation fields EA3, EA4, and EA7.

[0168]

In drawing 17 D, the strip of said PR pattern (636 of said drawing 17 C) is carried out, and the lift off of the transparent conductive matter (637 of said drawing 17 C) of a wrap field is carried out for said PR pattern (636 of said drawing 17 C). Then, the left-behind transparent conductive matter constitutes the pixel electrode 638 and the common electrode 642.

[0169]

In this phase, said pixel electrode 638 and connection wiring 633, and the common electrode 620 and the common wiring 614 are the methods connected respectively (or contact), and are connected electrically. Therefore, on the property of the process which forms two electrodes with a lift-off method at one mask process, the pixel electrode 638 is the field during the common wiring 614 with which it laps, and is characterized by for the common electrode 642 being the field which laps with the connection wiring 633, and having the shape of a semicircle to which the pattern was abbreviated. At this time, 2nd pixel electrode pattern 638b located in the crossover field during said connection wiring 633 and common wiring 614 is formed only in the area of the connection wiring 633.

[0170]

Drawing 18 is drawing about the simulation of the direction of the liquid crystal according to gray by the electrode disposition structure of the liquid crystal display of the horizontal electric-field mold by this invention, and the property of brightness, and hits the measured result on the basis of normally black mode.

[0171]

Since it is the same even if it observes a gray (2V→4V→6V→8V→10V) property with slight steps height and the direction child of a liquid crystal molecule looks at the reinforcement of an electrical potential difference from which direction by no electrical-potential-difference impressing (0V), as illustrated, an angle of visibility improves.

[Example 7]

[0172]

Drawing 19 is the top view of the array substrate for liquid crystal displays of the horizontal electric-field mold by the example 7 of this invention, and was shown on the basis of the one pixel section.

[0173]

As both the common electrode 720 and the pixel electrode 738 which form horizontal electric field in this example illustrated according to offering the liquid crystal display of the horizontal electric-field mold of circular structure, the RGBW(red Red, green Green, blue Blue, white White) 4 color subpixel PR, PG, PB, and PW whose pixel field is forward square structure applies to the structure which constitutes one pixel PP.

[0174]

Generally, since it is rectangle structure, in order to consider a numerical aperture and to form disc electrodes 720 and 738, as for the pixel field for liquid crystal displays of the horizontal electric-field mold of the structure where RGB3 color subpixel constitutes one pixel, it is desirable to form a pixel field with forward square structure.

[0175]

However, the liquid crystal display with the pixel section of the forward square by this invention does not carry out definition to RGBW pixel structure.

[0176]

Moreover, although not shown in a drawing, the pixel structure of a forward square is applicable also to the liquid crystal display of the horizontal electric-field mold of the electrode structure of a screw type.

[Example 8]

[0177]

This example is an example about the structure which mixed the storage structure and preceding paragraph storage structure of a liquid crystal display of a horizontal electric-field mold by said example 1.

[0178]

Drawing 20 is the top view of the array substrate for liquid crystal displays of the horizontal electric-field mold of the electrode structure of the shape of a ring by the example 8 of this invention, and was shown focusing on the storage capacitor formation section by making structure of said example 1 into basic structure.

[0179]

As illustrated, so that it may lap with 1st community electrode pattern 820a in the 1st direction 1st storage electrode pattern 840a. It responds to forming 2nd storage electrode pattern 840b. 1st storage electrode pattern 840a It is the pattern connected with thin film transistor T. 2nd storage electrode pattern 840b When it is defined as being a pattern contiguous to the preceding paragraph gate wiring 812, 2nd storage electrode pattern 840b is characterized by carrying out extended formation to the field which laps with the preceding paragraph gate wiring 812 in part.

[0180]

That is, in this example, the method which mixed the common method and the preceding paragraph gate method can raise storage capacitor Cst effectiveness effectively by constituting a storage capacitor (Cst; Cst1+Cst2).

[Example 9]

[0181]

This example is an example about the structure which mixed the storage structure and preceding paragraph storage structure of electrode structure of a liquid crystal display. [of the screw type by said example 2] [of a horizontal electric-field mold]

[0182]

Drawing 21 is the top view of the array substrate for liquid crystal displays of the horizontal electric-field mold of the electrode structure of the screw type by the example 9 of this invention, and was shown focusing on the storage capacitor formation section by making structure of said example 2 into basic structure.

[0183]

As illustrated, according to forming the storage electrode 940 so that it may lap in 1st community electrode pattern 920a and the 1st direction, the storage electrode 940 is characterized by carrying out extended formation to the field which laps with the preceding paragraph gate wiring 912 in part.

[0184]

That is, in this example, storage capacitor Cst effectiveness can be effectively raised by constituting a storage capacitor (Cst; Cst1+Cst2) from a method which mixed the common method and the preceding paragraph gate method.

[Example 10]

[0185]

Drawing 22 is the top view of the light filter substrate for liquid crystal displays of the horizontal electric-field mold by the example 10 of this invention, and is the example which shows focusing on the black matrix formation section, and can all be applied to ring-like electrode structure and the electrode structure of a screw type.

[0186]

As illustrated, the black matrix 1054 which makes the pixel field P the opening section 1052 is

formed on the substrate 1050, and the light filter layer 1056 is formed in the opening section 1052 considering the black matrix 1054 as the boundary section according to color.

[0187]

With a drawing, Xa field is a formation field of the disc electrode by this invention, and when it assumes that Xb field is a formation field of a common square electrode, and when [the black matrix 1054 and the superposition field of each fields Xa and Xb] it is Xc and Xd, Xd becomes a larger area than Xc.

[0188]

Namely, since the superposition field is [circular electrode structure] smaller than square electrode structure at the time of fusion mistake anyne generating of the upper part and the lower part, loss of the numerical aperture by the mistake anyne can be minimized, and it is effective in making a fusion margin increase.

Therefore, the difference of the brightness according to product can also be reduced.

[Example 11]

[0189]

Although this example is based on the circular electrode structure by said example 1, it is an example which changes the pattern of the storage electrode which laps with the configuration of the opening section of an outline common electrode pattern, and an outline common electrode pattern for improvement in a numerical aperture.

[0190]

Drawing 23 is the top view of the array substrate for liquid crystal displays of the horizontal electric-field mold of the electrode structure of the shape of a ring by the example 11 of this invention, and explanation about the part which overlaps said example 1 is given simple.

[0191]

They are 1st storage electrode pattern 1140a and the 2nd storage electrode to the 1st direction so that it may be located in the field which encloses the periphery of the pixel field P, 1st community electrode pattern 1120a with the opening section 1118 of the shape of a square with a corner may be formed and it may lap with 1st community electrode pattern 1120a, as illustrated. Pattern 1140b is formed.

[0192]

The connection wiring 1141 has branched and 2nd community electrode pattern 1120b has branched in the common wiring 1114 so that said 1st community electrode pattern 1120a may be connected with the common wiring 1114 which goes via the center section of the pixel field P in the 1st direction and the common wiring 1114 may be intersected in the center section of the pixel field P in said 1st storage electrode pattern 1140a and 2nd storage electrode pattern 1140b. In the connection wiring 1141, 1st pixel electrode pattern 1138a is formed in the location which encloses the periphery of the outside of 2nd community electrode pattern 1120b, and 2nd pixel electrode pattern 1138b of a circle configuration is respectively formed in the contrant region for 2nd community electrode pattern 1120b.

[0193]

In this example, there is the description which can secure the opening field XI by which formed the opening section circularly and the sacrifice was carried out in said example 1 thru/or example 4 by forming the corner XI corresponding to the opening section 1118 of the shape of a square of 1st community electrode pattern 1120a with the pixel field P.

[0194]

Moreover, since the liquid crystal display of a horizontal electric-field mold is in normally black mode, it does not have a problem in black brightness and raises the property of brightness as an opening field using a part for the corner of the opening section at the time of actuation of an electrical potential difference.

[0195]

Although it has not shown in detail a drawing, the opening section structure with the corner by this example is applicable to the liquid crystal display of the horizontal electric-field mold of the electrode structure of a screw type.

[Example 12]

[0196]

This example is an example about the high numerical aperture structure which forms a common electrode in the structure of lapping with data wiring, at the time of the activity of the protective layer of low conductivity in 4 mask structures.

[0197]

Drawing 24 is the top view of the array substrate for liquid crystal displays of the horizontal electric-field mold of the circular electrode structure by the example 12 of this invention, and explains the array substrate structure of said drawing 9 focusing on the part which deformed as basic structure.

[0198]

As illustrated, per pixel field P, the common electrode 1220 and the pixel electrode 1238 maintain fixed spacing mutually, and are formed by turns with circular electrode structure. It is the pixel field P, and said common electrode 1220 has the opening section 1218 of a circle configuration, it is a drawing and consists of ring-like 2nd community electrode pattern 1220b between the pixel fields P which touch in the 1st direction 1st community electrode pattern 1220a of an one apparatus pattern, and within the opening section 1218, said pixel electrode 1238 — the — the [1 common electrode pattern 1220a and] — the [1st pixel electrode pattern 1238a located in the section between 2 common electrode pattern 1220b, and] — it consists of 2nd pixel electrode pattern 1238b formed in the contrant region of 2 common electrode pattern 1220b at the crossover point of the connection wiring 1241 and the common wiring 1214.

Said pixel electrodes 1238 and common electrodes 1220 are the same process and the same matter, and are characterized by being constituted.

[0199]

There is a low conductivity property in the section between said data wiring 1228 and common electrodes 1220, and it is placed between them by the protective layer (not shown) with the 1st contact hole 1244 and the 2nd contact hole 1246. The common electrode 1220 and the common wiring 1214 are connected with the pixel electrode 1238 through the 1st contact hole 1244, and the drain electrode 1232 is connected through the 2nd contact hole 1246.

[0200]

In this example, since electric interference between metal matter can be made low by the protective layer of low conductivity, a numerical aperture can be improved by extending the formation area of the common electrode 1220.

[0201]

Structure by this example is characterized by showing about 4 mask structures which intervened the protective layer of low conductivity between a common electrode and data wiring for high numerical aperture structure by making into an example the process which forms a common electrode and a pixel electrode by the same process and the same matter with three masks shown by this invention.

As matter which constitutes the protective layer of the low conductivity mentioned above, there is for example, benz-cyclo-butene BCB.

[0202]

Although it has not shown a drawing, it is applicable also to the electrode structure of a screw type in addition to the general circular electrode structure shown by this example.

[0203]

However, within limits which are not contrary to the meaning of said not only example of this invention etc. but this invention, it can change variously and can carry out.

[Brief Description of the Drawings]

[0204]

[Drawing 1] It is the sectional view having shown the cross section of the liquid crystal display of a common horizontal electric-field mold.

[Drawing 2] It is the rough top view of the array substrate for liquid crystal displays of the conventional horizontal electric-field mold.

[Drawing 3] It is the rough top view of the array substrate for liquid crystal displays of the

existing multi-domain horizontal electric-field mold.

[Drawing 4] It is drawing having shown the property of the angle of visibility of the liquid crystal display of the multi-domain horizontal electric-field mold of the existing zigzag structure.

[Drawing-5] It is the top view of the array substrate for liquid crystal displays of the horizontal electric-field mold of the electrode structure of the shape of a ring by the example 1 of this invention.

[Drawing 6 A] It is the top view having shown the production process of the array substrate for liquid crystal displays of the horizontal electric-field mold of five masks by the example 1 of this invention according to the phase.

[Drawing 6 B] It is the top view showing the process following drawing 6 A.

[Drawing 6 C] It is the top view showing the process following drawing 6 B.

[Drawing 6 D] It is the top view showing the process following drawing 6 C.

[Drawing 6 E] It is the top view showing the process following drawing 6 D.

[Drawing 7] It is the rough top view of the array substrate for liquid crystal displays of the horizontal electric-field mold of the electrode structure of the screw type by the example 2 of this invention.

[Drawing 8 A] It is the top view having shown the production process of the array substrate for liquid crystal displays of the horizontal electric-field mold of the electrode structure of the screw type of five masks by the example 2 of this invention according to the phase.

[Drawing 8 B] It is the top view showing the process following drawing 8 A.

[Drawing 8 C] It is the top view showing the process following drawing 8 B.

[Drawing 8 D] It is the top view showing the process following drawing 8 C.

[Drawing 8 E] It is the top view showing the process following drawing 8 D.

[Drawing 9] It is the top view of the array substrate for liquid crystal displays of the horizontal electric-field mold of the electrode structure of the shape of a ring by the example 3 of this invention.

[Drawing 10 A] It is the top view having shown the production process of the array substrate for liquid crystal displays of the horizontal electric-field mold of the general circular electrode structure of four masks by the example 3 of this invention according to the phase.

[Drawing 10 B] It is the top view showing the process following drawing 10 A.

[Drawing 10 C] It is the top view showing the process following drawing 10 B.

[Drawing 10 D] It is the top view showing the process following drawing 10 C.

[Drawing 11] It is the top view of the array substrate for liquid crystal displays of the horizontal electric-field mold of the electrode structure of the screw type by the example 4 of this invention.

[Drawing 12 A] It is the top view having shown the production process of the array substrate for liquid crystal displays of the horizontal electric-field mold of the structure of the screw type of four masks by the example 4 of this invention according to the phase.

[Drawing 12 B] It is the top view showing the process following drawing 12 A.

[Drawing 12 C] It is the top view showing the process following drawing 12 B.

[Drawing 12 D] It is the top view showing the process following drawing 12 C.

[Drawing 13 A] It is the rough process sectional view of a general lift-off process.

[Drawing 13 B] It is the sectional view showing the process following drawing 13 A.

[Drawing 13 C] It is the sectional view showing the process following drawing 13 B.

[Drawing 13 D] It is the sectional view showing the process following drawing 13 C.

[Drawing 14] It is the top view of the array substrate for liquid crystal displays of the horizontal electric-field mold of the electrode structure of the shape of a ring by the example 5 of this invention.

[Drawing 15 A] It is the top view having shown the production process of the array substrate for liquid crystal displays of the horizontal electric-field mold of the electrode structure of the shape of a ring by the example 5 of this invention according to the phase.

[Drawing 15 B] It is the top view showing the process following drawing 15 A.

[Drawing 15 C] It is the top view showing the process following drawing 15 B.

[Drawing 15 D] It is the top view showing the process following drawing 15 C.

[Drawing 16] It is the top view of the array substrate for liquid crystal displays of the horizontal electric-field mold of the electrode structure of the screw type by the example 6 of this invention.

[Drawing 17 A] It is the top view having shown the production process of the array substrate for liquid crystal displays of the horizontal electric-field mold of the electrode structure of the screw type by the example 6 of this invention according to the phase.

[Drawing 17 B] It is the top view showing the process following drawing 17 A.

[Drawing 17 C] It is the top view showing the process following drawing 17 B.

[Drawing 17 D] It is the top view showing the process following drawing 17 C.

[Drawing 18] It is drawing about the simulation of the direction of the liquid crystal according to gray by the arrangement structure of the electrode of the liquid crystal display of the horizontal electric-field mold by this invention, and the property of brightness.

[Drawing 19] It is the top view of the array substrate for liquid crystal displays of the horizontal electric-field mold by the example 7 of this invention.

[Drawing 20] It is the top view of the array substrate for liquid crystal displays of the horizontal electric-field mold of the electrode structure of the shape of a ring by the example 8 of this invention.

[Drawing 21] It is the top view of the array substrate for liquid crystal displays of the horizontal electric-field mold of the electrode structure of the screw type by the example 9 of this invention.

[Drawing 22] It is the top view of the light filter substrate for liquid crystal displays of the horizontal electric-field mold by the example 10 of this invention.

[Drawing 23] It is the top view of the array substrate for liquid crystal displays of the horizontal electric-field mold of the electrode structure of the shape of a ring by the example 11 of this invention.

[Drawing 24] It is the top view of the array substrate for liquid crystal displays of the horizontal electric-field mold of the circular electrode structure by the example 12 of this invention.

[Drawing 25 A] It is the production process of the array substrate for liquid crystal displays of the horizontal electric-field mold by the example 5 of this invention, and is the process sectional view having shown the production process of the gate pad section according to the phase.

[Drawing 25 B] It is the sectional view showing the process following drawing 25 A.

[Drawing 25 C] It is the sectional view showing the process following drawing 25 B.

[Drawing 25 D] It is the sectional view showing the process following drawing 25 C.

[Drawing 26 A] It is the production process of the array substrate for liquid crystal displays of the horizontal electric-field mold by the example 5 of this invention, and is the process sectional view having shown the production process of the data pad section according to the phase.

[Drawing 26 B] It is the sectional view showing the process following drawing 26 A.

[Drawing 26 C] It is the sectional view showing the process following drawing 26 B.

[Drawing 26 D] It is the sectional view showing the process following drawing 26 C.

[Description of Notations]

[0205]

110: Substrate

112: Gate wiring

114: Common wiring

118: Opening section

120a: The 1st community electrode pattern

120b: The 2nd community electrode pattern

120: Common electrode

128: Data wiring

138a: The 1st pixel electrode pattern

138b: The 2nd pixel electrode pattern

138: Pixel electrode

140a: The 1st storage electrode pattern

140b: The 2nd storage electrode pattern

141: Connection wiring
T: Thin film transistor
P: Pixel field
Cst: Storage capacitor

[Translation done.]

*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[0204]

[Drawing 1] It is the sectional view having shown the cross section of the liquid crystal display of a common horizontal electric-field mold.

[Drawing 2] It is the rough top view of the array substrate for liquid crystal displays of the conventional horizontal electric-field mold.

[Drawing 3] It is the rough top view of the array substrate for liquid crystal displays of the existing multi-domain horizontal electric-field mold.

[Drawing 4] It is drawing having shown the property of the angle of visibility of the liquid crystal display of the multi-domain horizontal electric-field mold of the existing zigzag structure.

[Drawing 5] It is the top view of the array substrate for liquid crystal displays of the horizontal electric-field mold of the electrode structure of the shape of a ring by the example 1 of this invention.

[Drawing 6 A] It is the top view having shown the production process of the array substrate for liquid crystal displays of the horizontal electric-field mold of five masks by the example 1 of this invention according to the phase.

[Drawing 6 B] It is the top view showing the process following drawing 6 A.

[Drawing 6 C] It is the top view showing the process following drawing 6 B.

[Drawing 6 D] It is the top view showing the process following drawing 6 C.

[Drawing 6 E] It is the top view showing the process following drawing 6 D.

[Drawing 7] It is the rough top view of the array substrate for liquid crystal displays of the horizontal electric-field mold of the electrode structure of the screw type by the example 2 of this invention.

[Drawing 8 A] It is the top view having shown the production process of the array substrate for liquid crystal displays of the horizontal electric-field mold of the electrode structure of the screw type of five masks by the example 2 of this invention according to the phase.

[Drawing 8 B] It is the top view showing the process following drawing 8 A.

[Drawing 8 C] It is the top view showing the process following drawing 8 B.

[Drawing 8 D] It is the top view showing the process following drawing 8 C.

[Drawing 8 E] It is the top view showing the process following drawing 8 D.

[Drawing 9] It is the top view of the array substrate for liquid crystal displays of the horizontal electric-field mold of the electrode structure of the shape of a ring by the example 3 of this invention.

[Drawing 10 A] It is the top view having shown the production process of the array substrate for liquid crystal displays of the horizontal electric-field mold of the general circular electrode structure of four masks by the example 3 of this invention according to the phase.

[Drawing 10 B] It is the top view showing the process following drawing 10 A.

[Drawing 10 C] It is the top view showing the process following drawing 10 B.

[Drawing 10 D] It is the top view showing the process following drawing 10 C.

[Drawing 11] It is the top view of the array substrate for liquid crystal displays of the horizontal electric-field mold of the electrode structure of the screw type by the example 4 of this invention.

[Drawing 12 A] It is the top view having shown the production process of the array substrate for liquid crystal displays of the horizontal electric-field mold of the structure of the screw type of four masks by the example 4 of this invention according to the phase.

[Drawing 12 B] It is the top view showing the process following drawing 12 A.

[Drawing 12 C] It is the top view showing the process following drawing 12 B.

[Drawing 12 D] It is the top view showing the process following drawing 12 C.

[Drawing 13 A] It is the rough process sectional view of a general lift-off process.

[Drawing 13 B] It is the sectional view showing the process following drawing 13 A.

[Drawing 13 C] It is the sectional view showing the process following drawing 13 B.

[Drawing 13 D] It is the sectional view showing the process following drawing 13 C.

[Drawing 14] It is the top view of the array substrate for liquid crystal displays of the horizontal electric-field mold of the electrode structure of the shape of a ring by the example 5 of this invention.

[Drawing 15 A] It is the top view having shown the production process of the array substrate for liquid crystal displays of the horizontal electric-field mold of the electrode structure of the shape of a ring by the example 5 of this invention according to the phase.

[Drawing 15 B] It is the top view showing the process following drawing 15 A.

[Drawing 15 C] It is the top view showing the process following drawing 15 B.

[Drawing 15 D] It is the top view showing the process following drawing 15 C.

[Drawing 16] It is the top view of the array substrate for liquid crystal displays of the horizontal electric-field mold of the electrode structure of the screw type by the example 6 of this invention.

[Drawing 17 A] It is the top view having shown the production process of the array substrate for liquid crystal displays of the horizontal electric-field mold of the electrode structure of the screw type by the example 6 of this invention according to the phase.

[Drawing 17 B] It is the top view showing the process following drawing 17 A.

[Drawing 17 C] It is the top view showing the process following drawing 17 B.

[Drawing 17 D] It is the top view showing the process following drawing 17 C.

[Drawing 18] It is drawing about the simulation of the direction of the liquid crystal according to gray by the arrangement structure of the electrode of the liquid crystal display of the horizontal electric-field mold by this invention, and the property of brightness.

[Drawing 19] It is the top view of the array substrate for liquid crystal displays of the horizontal electric-field mold by the example 7 of this invention.

[Drawing 20] It is the top view of the array substrate for liquid crystal displays of the horizontal electric-field mold of the electrode structure of the shape of a ring by the example 8 of this invention.

[Drawing 21] It is the top view of the array substrate for liquid crystal displays of the horizontal electric-field mold of the electrode structure of the screw type by the example 9 of this invention.

[Drawing 22] It is the top view of the light filter substrate for liquid crystal displays of the horizontal electric-field mold by the example 10 of this invention.

[Drawing 23] It is the top view of the array substrate for liquid crystal displays of the horizontal electric-field mold of the electrode structure of the shape of a ring by the example 11 of this invention.

[Drawing 24] It is the top view of the array substrate for liquid crystal displays of the horizontal

electric-field mold of the circular electrode structure by the example 12 of this invention.

[Drawing 25 A] It is the production process of the array substrate for liquid crystal displays of the horizontal electric-field mold by the example 5 of this invention, and is the process sectional view having shown the production process of the gate pad section according to the phase.

[Drawing 25 B] It is the sectional view showing the process following drawing 25 A.

[Drawing 25 C] It is the sectional view showing the process following drawing 25 B.

[Drawing 25 D] It is the sectional view showing the process following drawing 25 C.

[Drawing 26 A] It is the production process of the array substrate for liquid crystal displays of the horizontal electric-field mold by the example 5 of this invention, and is the process sectional view having shown the production process of the data pad section according to the phase.

[Drawing 26 B] It is the sectional view showing the process following drawing 26 A.

[Drawing 26 C] It is the sectional view showing the process following drawing 26 B.

[Drawing 26 D] It is the sectional view showing the process following drawing 26 C.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

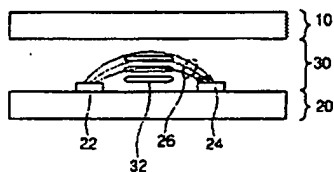
1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

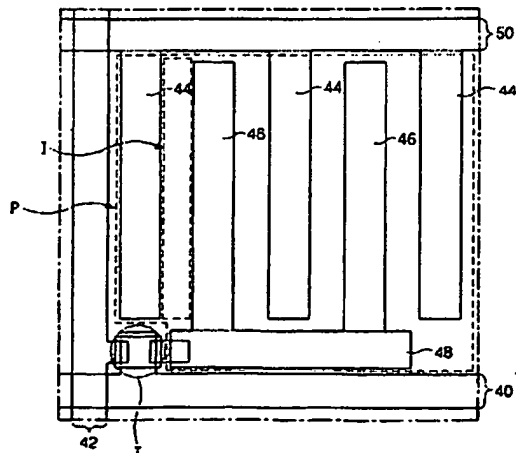
3.In the drawings, any words are not translated.

DRAWINGS

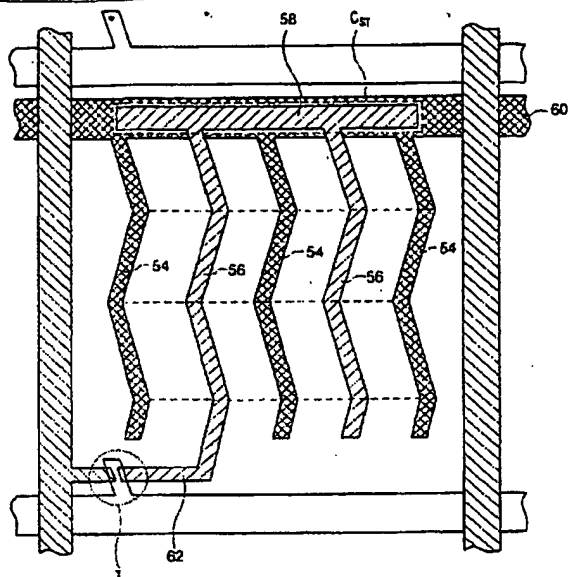
[Drawing 1]



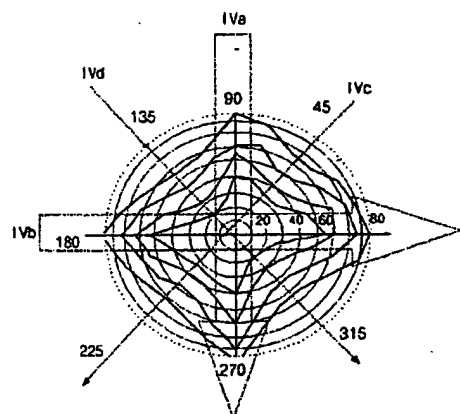
[Drawing 2]



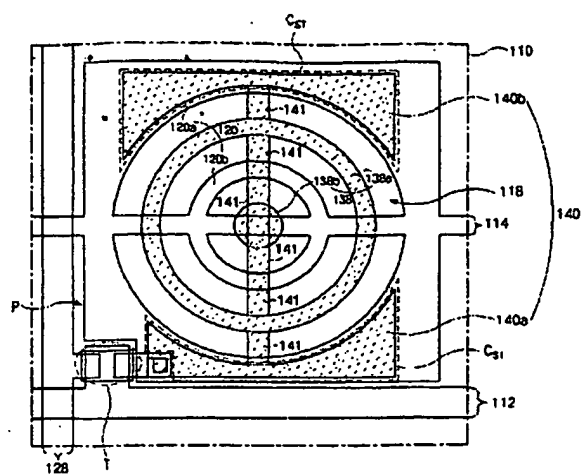
[Drawing 3]



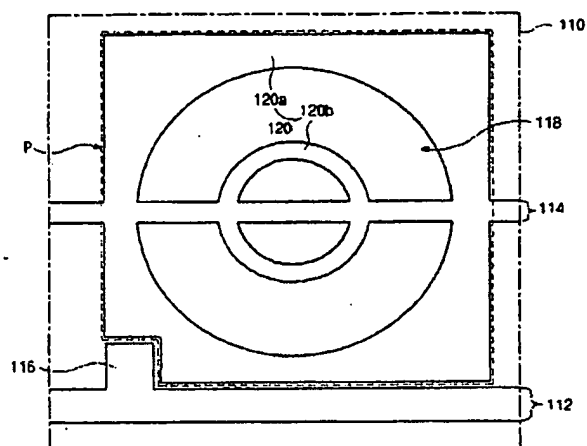
[Drawing 4]



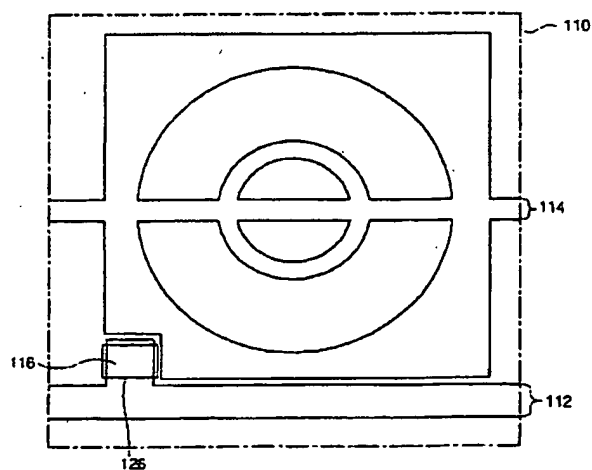
[Drawing 5]



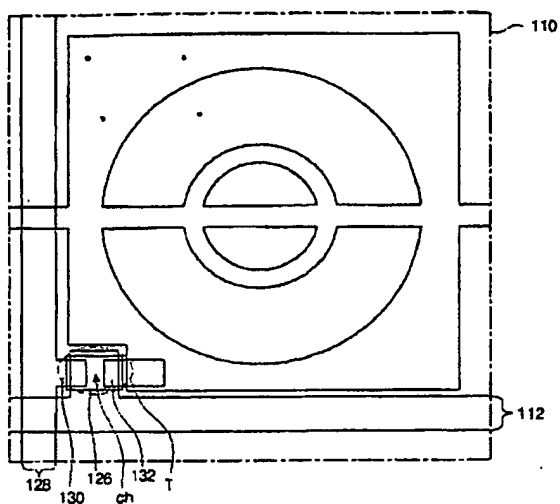
[Drawing 6 A]



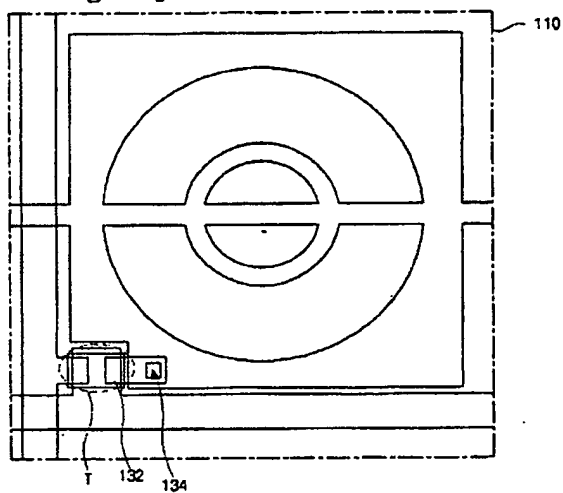
[Drawing 6 B]



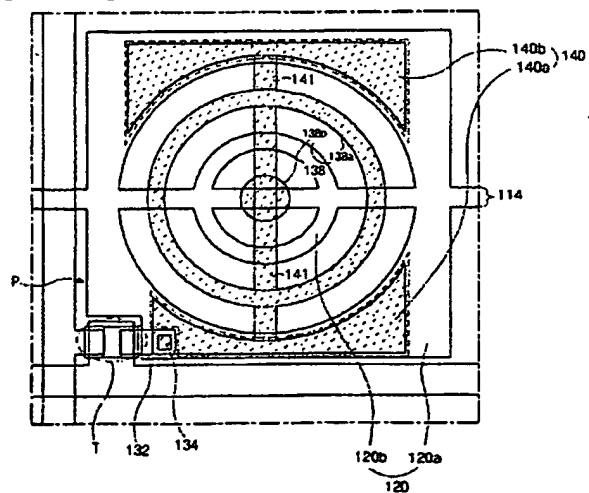
[Drawing 6 C]



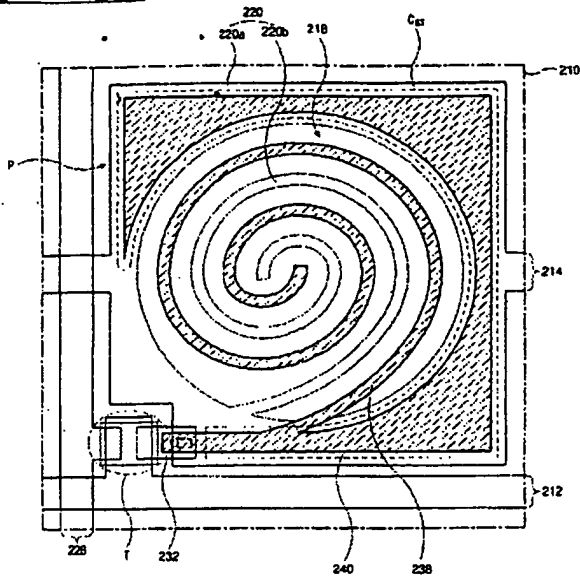
[Drawing 6 D]



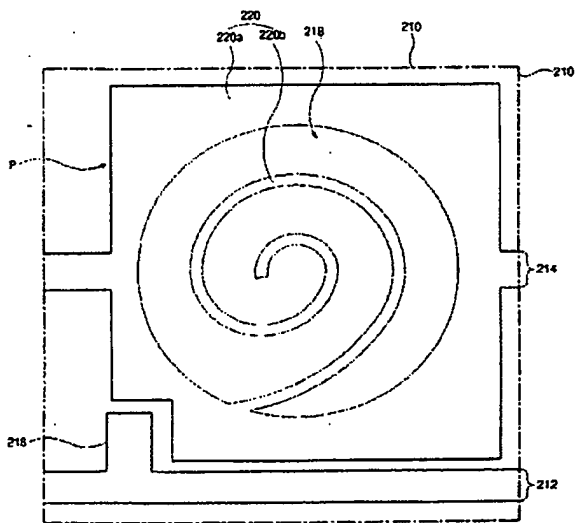
[Drawing 6 E]



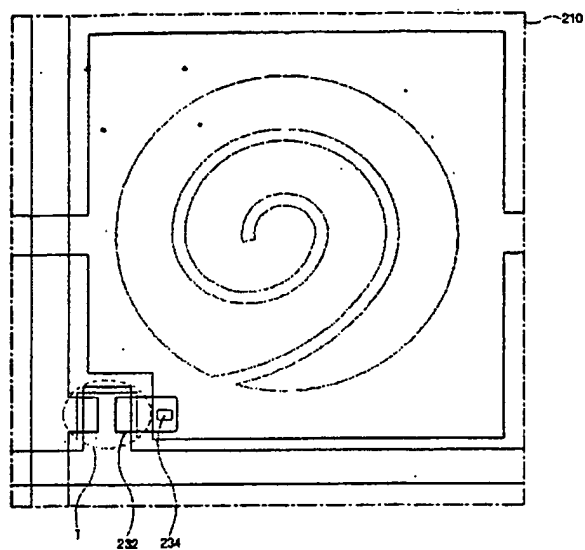
[Drawing 7]



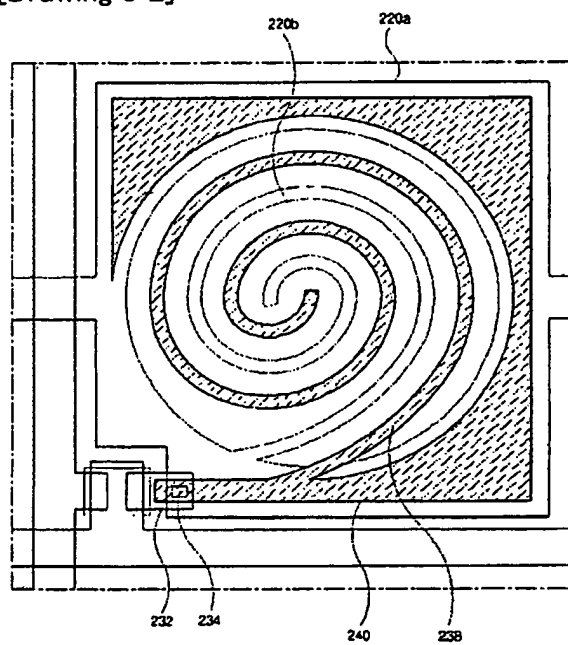
[Drawing 8 A]



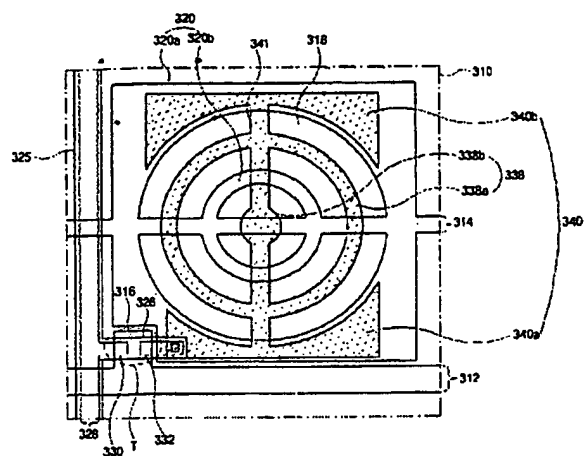
[Drawing 8 B]



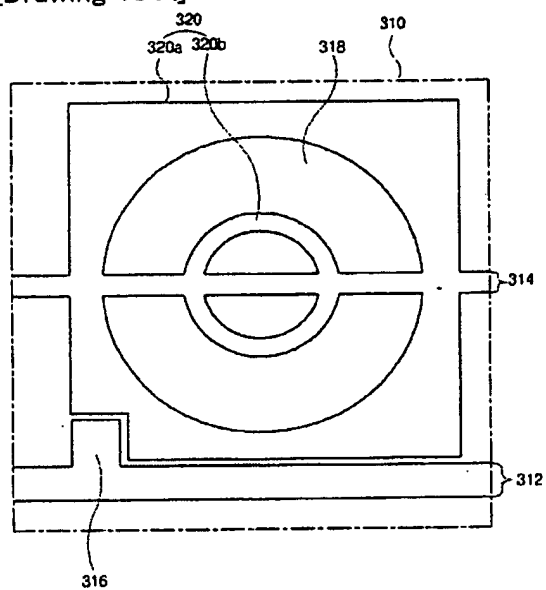
[Drawing 8 E]



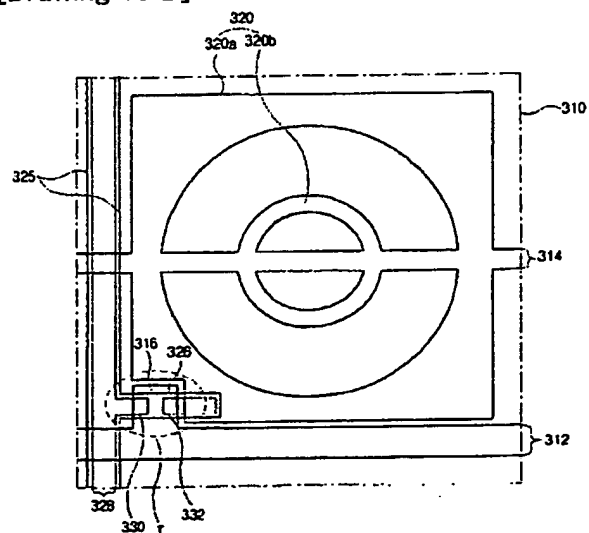
[Drawing 9]



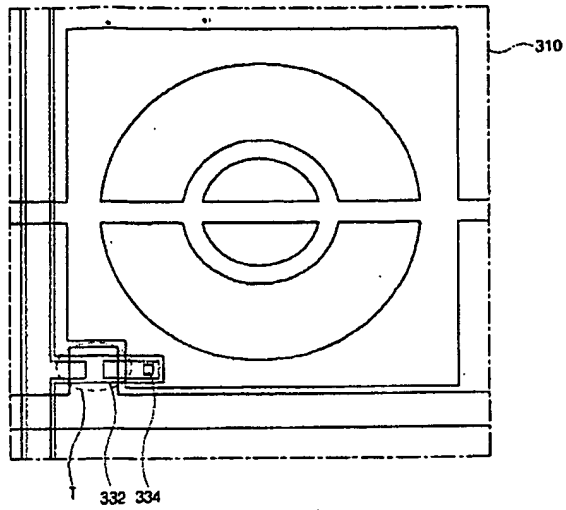
[Drawing 10 A]



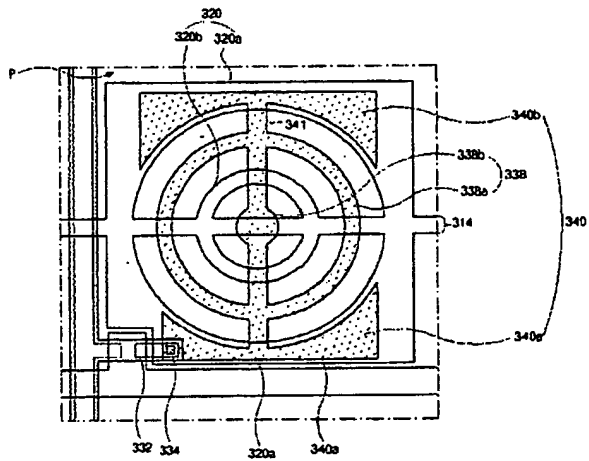
[Drawing 10 B]



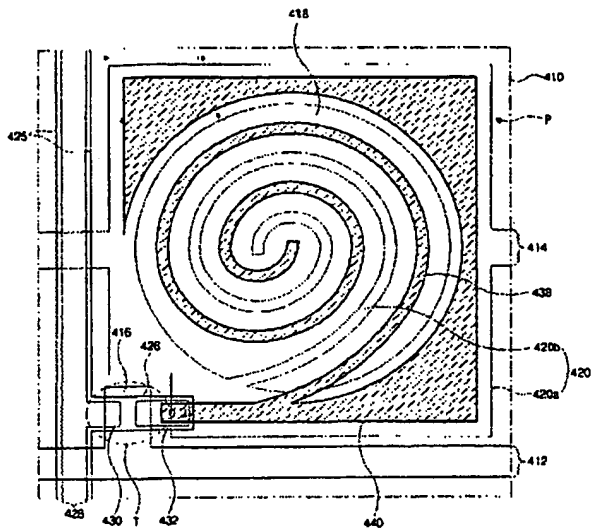
[Drawing 10 C]



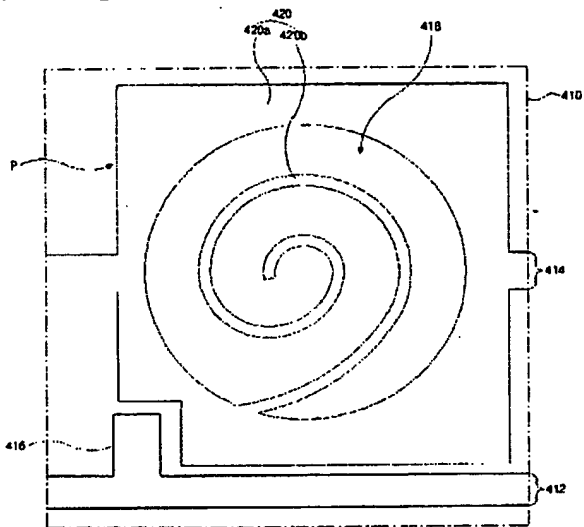
[Drawing 10 D]



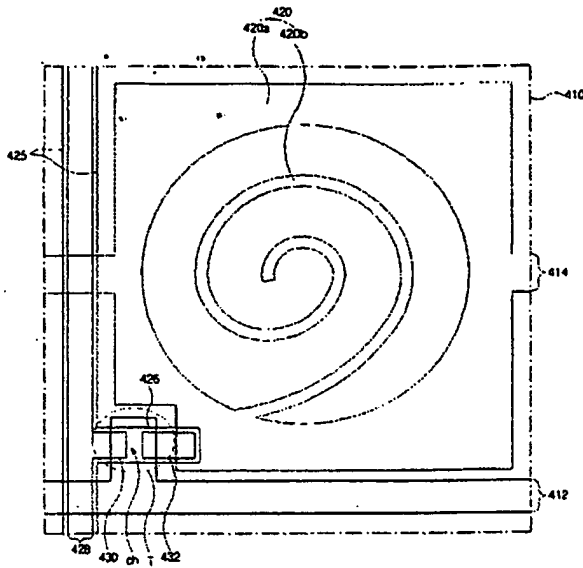
[Drawing 11]



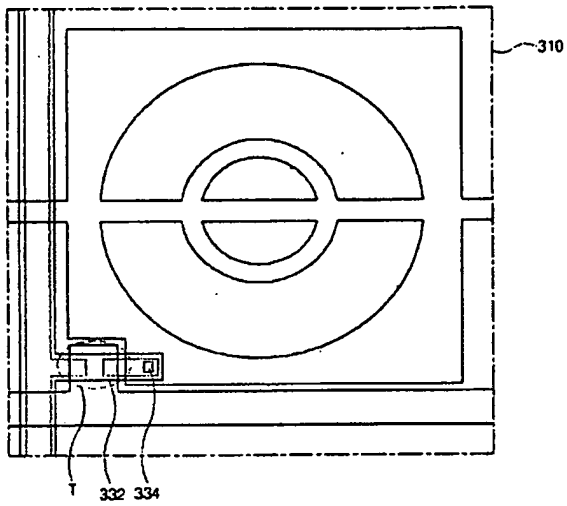
[Drawing 12 A]



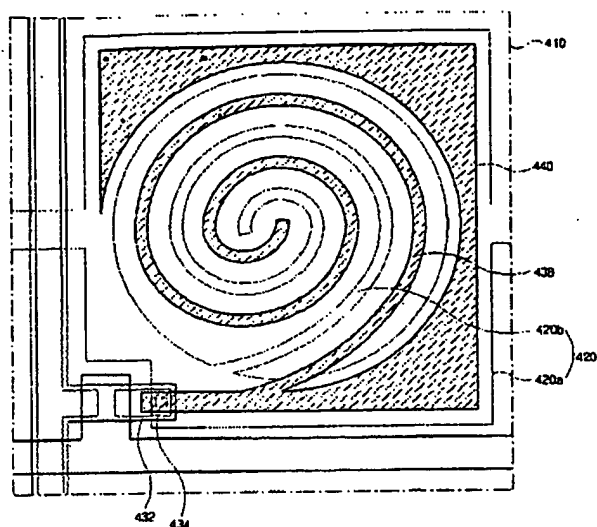
[Drawing 12 B]



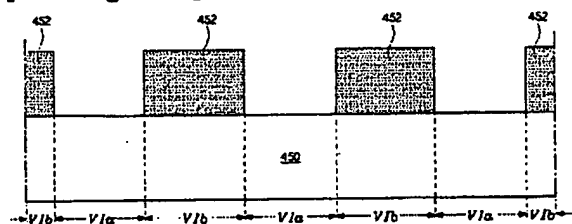
[Drawing 12 C]



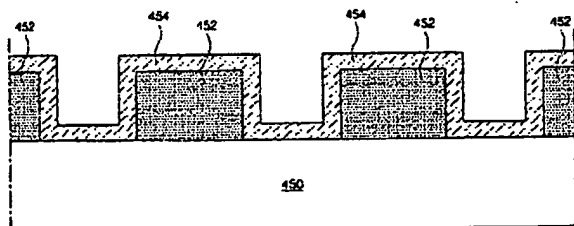
[Drawing 12 D]



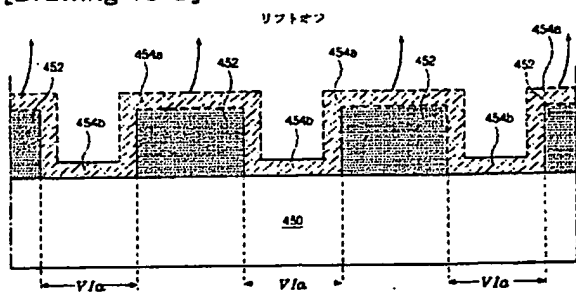
[Drawing 13 A]



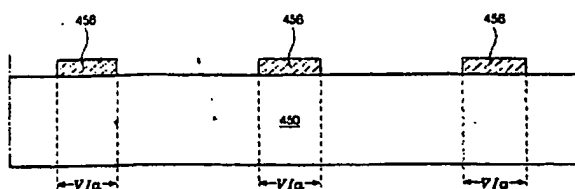
[Drawing 13 B]



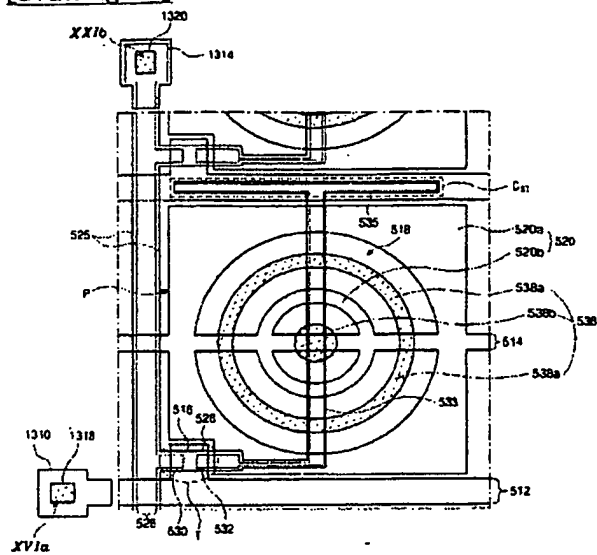
[Drawing 13 C]



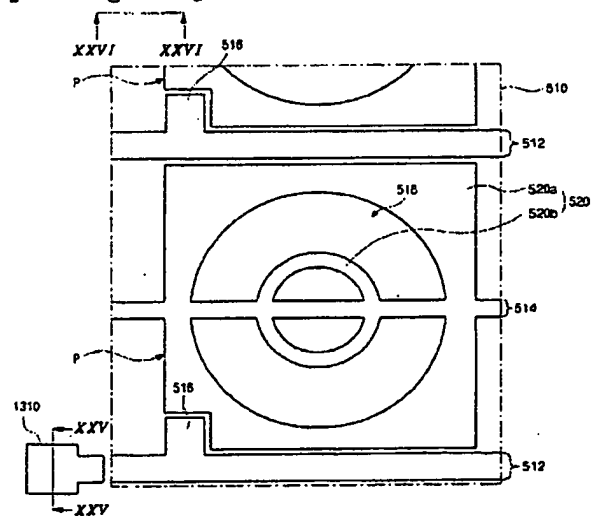
[Drawing 13 D]



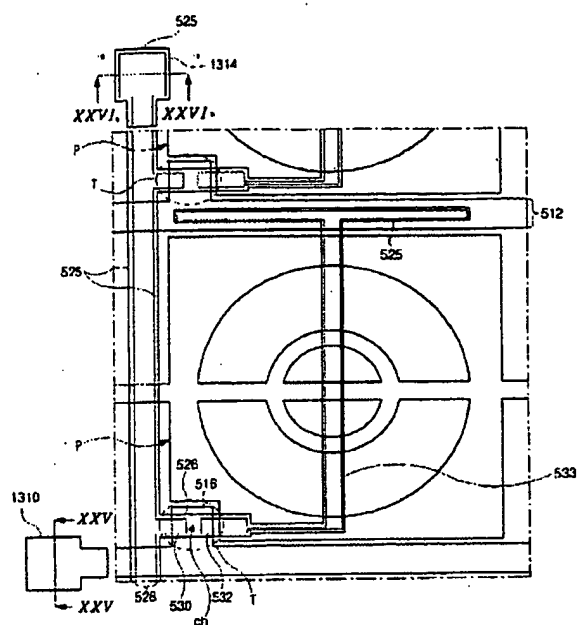
[Drawing 14]



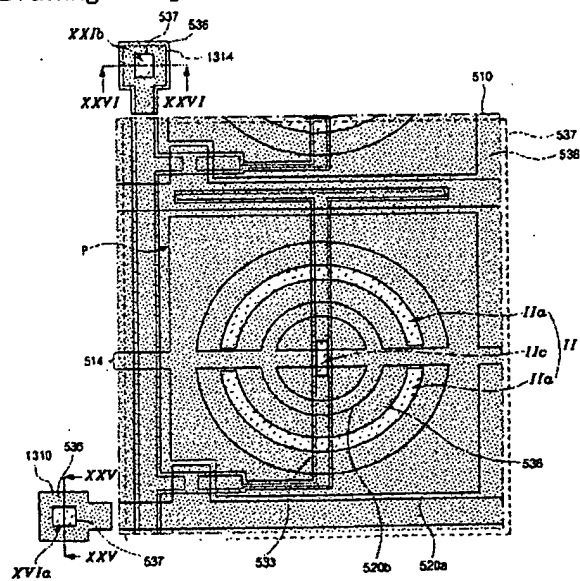
[Drawing 15 A]



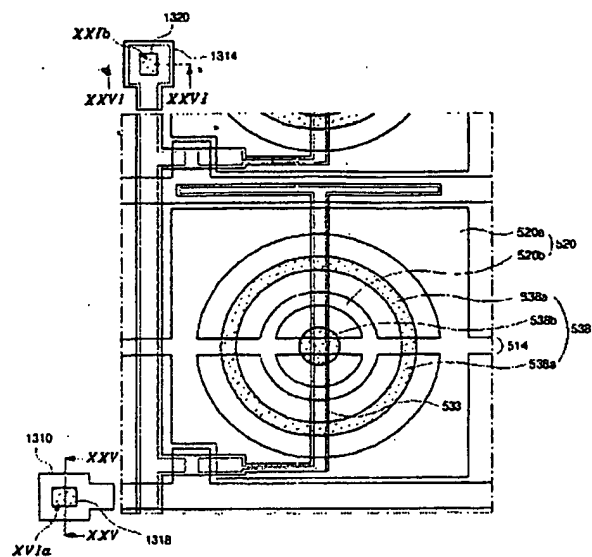
[Drawing 15 B]



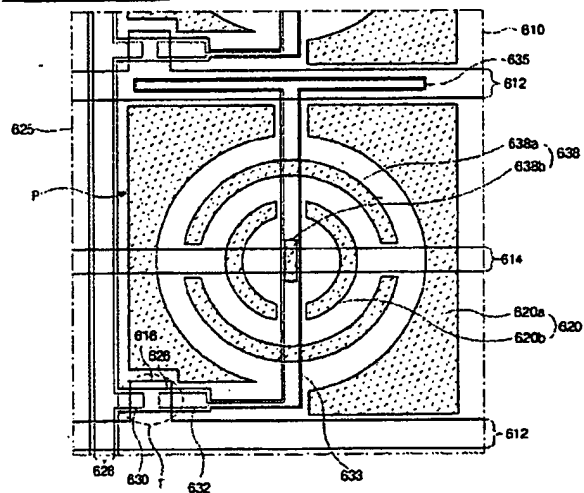
[Drawing 15 C]



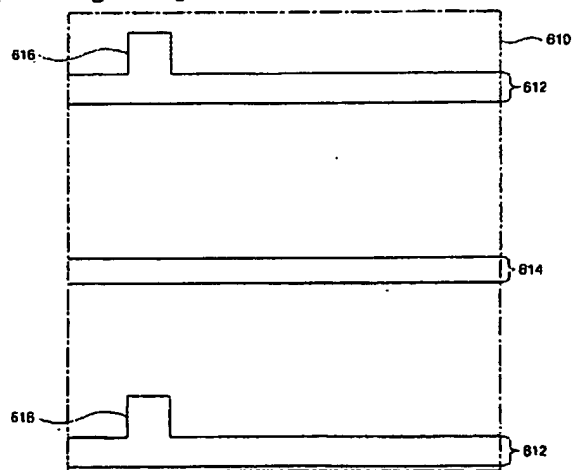
[Drawing 15 D]



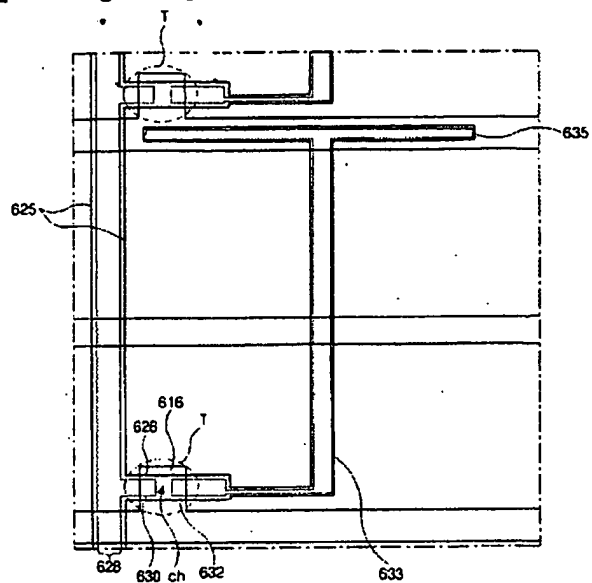
[Drawing 16]



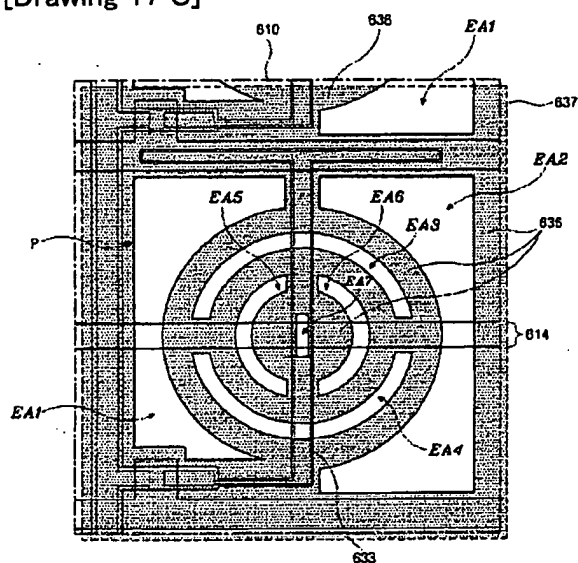
[Drawing 17 A]



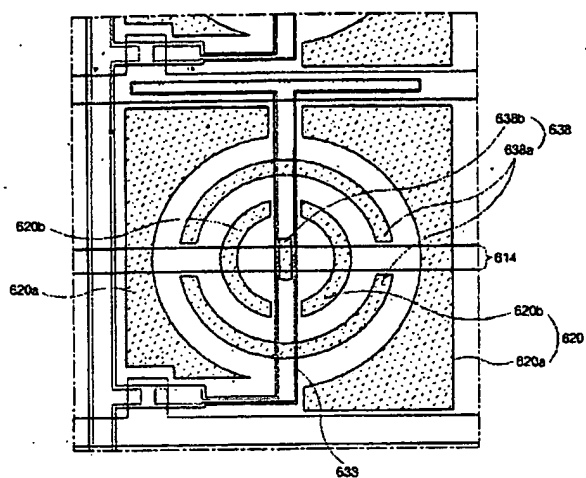
[Drawing 17 B]



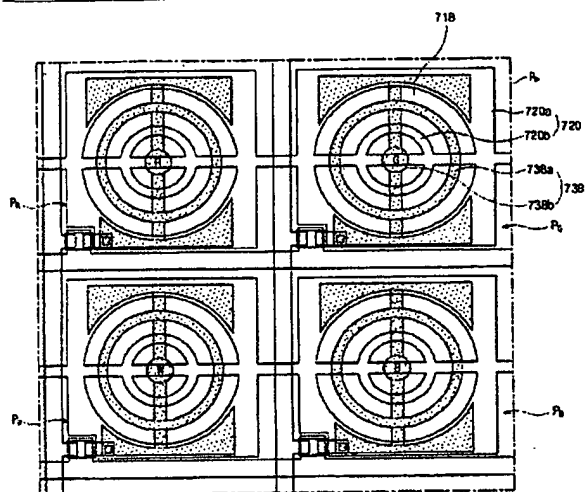
[Drawing 17 C]



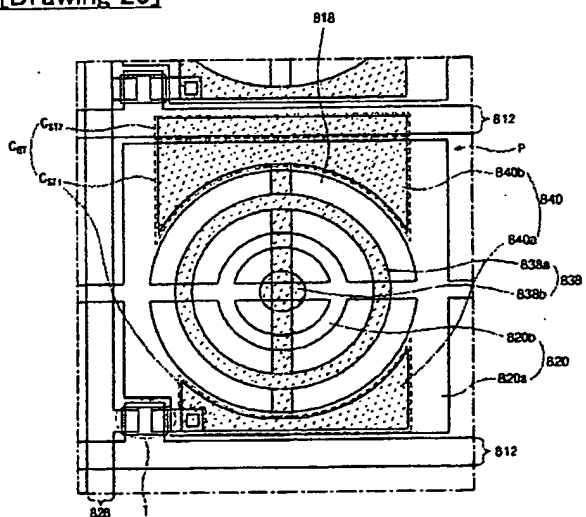
[Drawing 17 D]

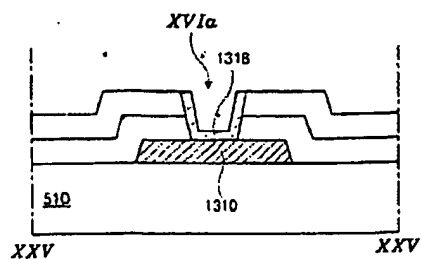


[Drawing 19]

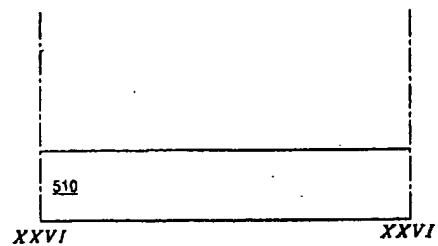


[Drawing 20]

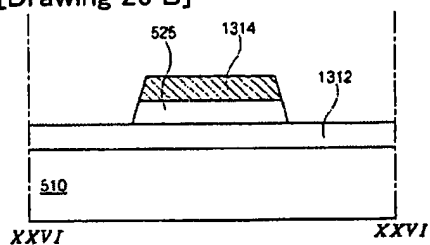




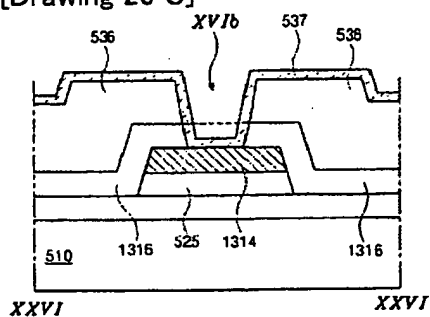
[Drawing 26 A]



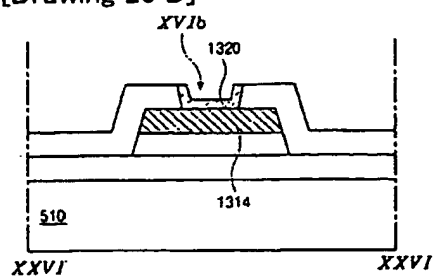
[Drawing 26 B]



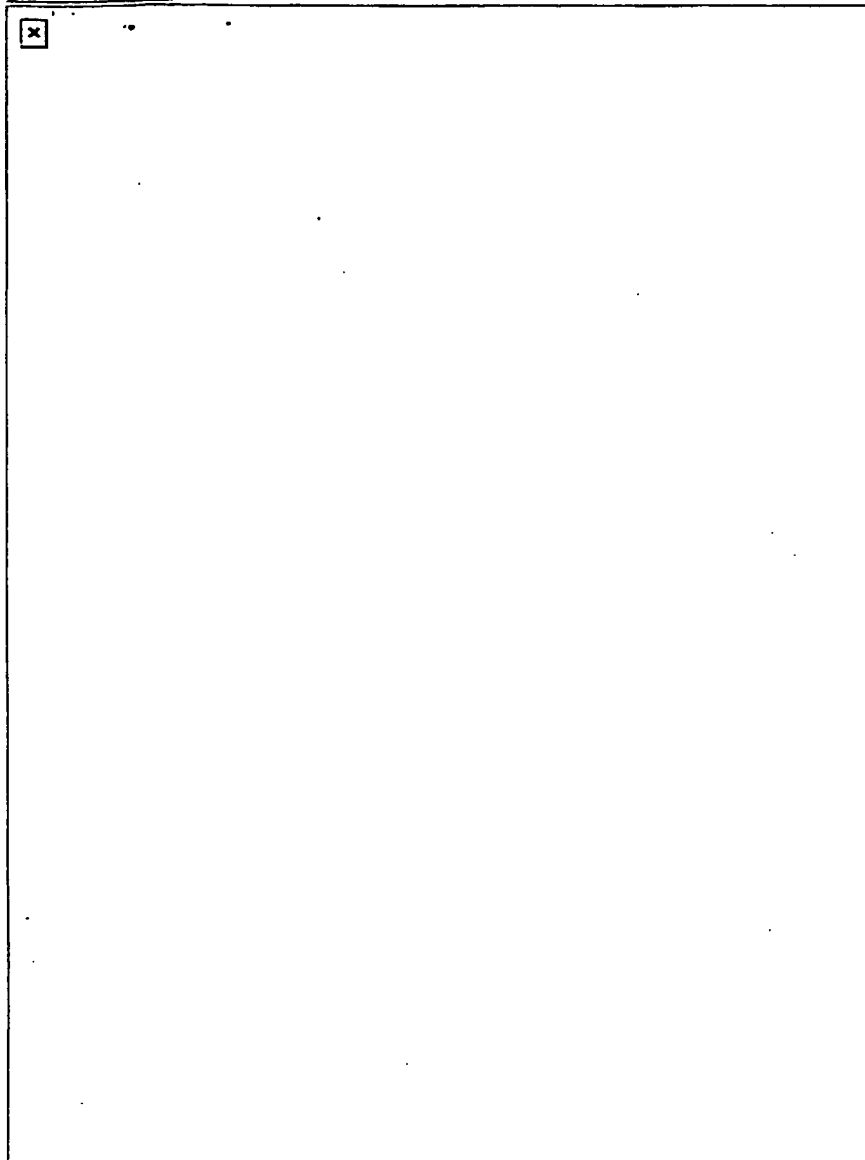
[Drawing 26 C]



[Drawing 26 D]



[Drawing 18]



[Translation done.]

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-122105

(P2005-122105A)

(43) 公開日 平成17年5月12日(2005.5.12)

(51) Int. Cl.⁷

G02F 1/1343

G02F 1/1368

F I

G02F 1/1343

G02F 1/1368

テーマコード(参考)

2H092

審査請求 有 請求項の数 114 O L (全 58 頁)

(21) 出願番号 特願2004-193408 (P2004-193408)
 (22) 出願日 平成16年6月30日(2004.6.30)
 (31) 優先権主張番号 2003-072124
 (32) 優先日 平成15年10月16日(2003.10.16)
 (33) 優先権主張国 韓国(KR)
 (31) 優先権主張番号 2004-025955
 (32) 優先日 平成16年4月14日(2004.4.14)
 (33) 優先権主張国 韓国(KR)

(71) 出願人 501426046
 エルジー・フィリップス エルシーデー
 カンパニー, リミテッド
 大韓民国 ソウル, ヨンドゥンポーク, ヨ
 イドードン 20
 (74) 代理人 100064447
 弁理士 岡部 正夫
 (74) 代理人 100085176
 弁理士 加藤 伸晃
 (74) 代理人 100106703
 弁理士 産形 和央
 (74) 代理人 100096943
 弁理士 臼井 伸一
 (74) 代理人 100101498
 弁理士 越智 隆夫

最終頁に続く

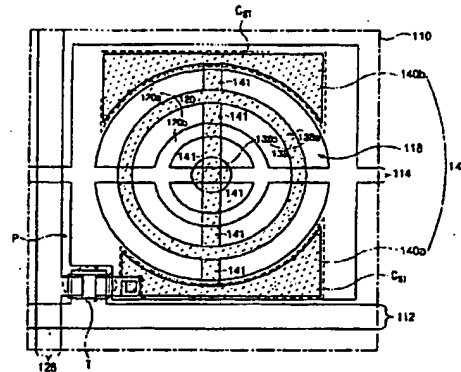
(54) 【発明の名称】 横電界型の液晶表示装置用アレイ基板及びその製造方法

(57) 【要約】

【課題】本発明では、階調の反転によるカラーシフトによる視野角の特性の低下を防ぐ構造の横電界型の液晶表示装置を提供する。

【解決手段】開口領域の主領域がリング状または、螺旋形構造で構成できるパターン構造である共通電極及び画素電極を形成して、どちらの方向でも、液晶分子の方向子が同じなので、特定の角度でのカラーシフトなしに、対照比を向上させて、視野角の特性を高めることができる。そして、ブラックマトリックスとの重畳領域が減少され、合着ミスアライン時に、製品別に発生できる輝度の差が最小化される。

【選択図】 図5



【特許請求の範囲】

【請求項 1】

第 1 方向へと形成されたゲート配線と；

第 2 方向へと、ゲート配線と交差して、開口領域を含む画素領域を定義するデータ配線と；

前記画素領域の一角部分に形成されて、ゲート配線及びデータ配線に連結されており、半導体層を含む薄膜トランジスタと；

前記第 1 方向へと、ゲート配線と離隔するように形成された共通配線と；

前記共通配線から分岐され、多数の共通電極パターン等を含み、共通電極パターンのうち、一番外側の共通電極パターンが、実質的に、四角形状であって、中央に、円形状のオープン部を含む共通電極と；

前記四角形状の一番外側の共通電極パターンと重なり、前記薄膜トランジスタに連結されるストレージ電極と；

前記画素領域内で、前記データ配線と平行であって、前記ストレージ電極に連結されている連結配線と；

前記円形状のオープン部に位置して、前記連結配線から分岐されており、多数の画素電極パターン等を含み、前記共通電極と、一定間隔離隔して、交互に形成された画素電極を含み、前記一番内側の画素電極パターンは、実質的に、円形状であり、他の画素電極パターン等は、リング状であって、前記共通電極パターンのうち、一番内側のパターンは、リング状であり、前記画素領域内の前記開口領域は、実質的に、リング状である横電界型の液晶表示装置用アレイ基板。

【請求項 2】

前記多数の共通電極パターン等は、前記多数の画素電極パターン等と、交互に位置することを特徴とする請求項 1 に記載の横電界型の液晶表示装置用アレイ基板。

【請求項 3】

前記多数の共通電極パターン等のうち、一番内側の共通電極パターンは、前記共通配線と前記連結配線が交差する画素領域の中心に位置することを特徴とする請求項 1 に記載の横電界型の液晶表示装置用アレイ基板。

【請求項 4】

前記ストレージ電極は、前記一番外側の共通電極パターンの上部領域及び下部領域と重なる第 1 ストレージ電極パターン及び第 2 ストレージ電極パターンを含むことを特徴とする請求項 1 に記載の横電界型の液晶表示装置用アレイ基板。

【請求項 5】

前記第 1 ストレージ電極パターンは、薄膜トランジスタに連結されていることを特徴とする請求項 4 に記載の横電界型の液晶表示装置用アレイ基板。

【請求項 6】

前記第 1 ストレージ電極パターン及び第 2 ストレージ電極パターンは、相互に向かい合う面が、各々半円形状であることを特徴とする請求項 4 に記載の横電界型の液晶表示装置用アレイ基板。

【請求項 7】

前記画素領域は、実質的に、正四角形状であることを特徴とする請求項 1 に記載の横電界型の液晶表示装置用アレイ基板。

【請求項 8】

前記接する 4 つの画素領域は、各々赤色、緑色、青色、白色に対応することを特徴とする請求項 1 に記載の横電界型の液晶表示装置用アレイ基板。

【請求項 9】

前記ストレージ電極と前記共通電極は、相互に重なり、第 1 ストレージキャパシターを形成することを特徴とする請求項 1 に記載の横電界型の液晶表示装置用アレイ基板。

【請求項 10】

前記ストレージ電極は、接する画素領域のゲート配線と重なり、第 2 ストレージキャパ

シターを形成することを特徴とする請求項 9 に記載の横電界型の液晶表示装置用アレイ基板。

【請求項 11】

前記画素電極パターン及び共通電極パターンは、前記一番外側の共通電極パターンを除いて、実質的に、前記オープン部内に位置することを特徴とする請求項 1 に記載の横電界型の液晶表示装置用アレイ基板。

【請求項 12】

前記データ配線の下部には、データ配線様の形状の半導体物質層をさらに含み、前記半導体層は、半導体物質層から分岐されることを特徴とする請求項 1 に記載の横電界型の液晶表示装置用アレイ基板。

10

【請求項 13】

ゲート電極を含むゲート配線と、多数の共通電極パターン等を含む共通電極と、前記ゲート配線と平行であって、隔離された共通配線を、第 1 マスク工程を利用して形成する段階において、前記一番外側の共通電極パターンは、実質的に、四角形状であって、中央に、円形状のオープン部を含むように形成する段階と；

前記ゲート配線、共通電極、共通配線の上部に、ゲート絶縁膜を形成する段階と；

前記ゲート電極の上部のゲート絶縁膜上に、第 2 マスク工程を利用して、半導体層を形成する段階と；

前記ゲート配線と交差して、開口領域を含む画素領域を定義するデータ配線と、前記データ配線から分岐されるソース電極と、前記ソース電極から隔離されているドレイン電極を、第 3 マスク工程を利用して形成して、前記ゲート電極、前記半導体層、前記ソース電極及びドレイン電極で構成される薄膜トランジスタを形成する段階において、前記ソース電極及びドレイン電極は、前記半導体層の両端を覆い、前記ソース電極及びドレイン電極間の半導体層は、露出されるように形成する段階と；

20

前記薄膜トランジスタを覆うように、基板全面に、保護層を形成する段階と；

前記ドレイン電極の一部を露出するドレインコンタクトホールを、第 4 マスク工程を利用して、前記保護層に形成する段階と；

前記一番外側の共通電極パターンと重なり、ドレイン電極に連結されるストレージ電極と、前記ストレージ電極に連結される連結配線と、前記連結配線から分岐され、多数の画素電極パターン等を含む画素電極を、保護層の上部に、第 5 マスク工程を利用して形成する段階において、前記一番内側の画素電極パターンは、実質的に、円形状であって、前記共通電極パターンのうち、一番内側の共通電極パターンと前記多数の画素電極パターン等は、リング状であり、前記開口領域は、リング状である横電界型の液晶表示装置用アレイ基板の製造方法。

30

【請求項 14】

前記多数の共通電極パターン等は、前記多数の画素電極パターン等と、交互に配置されていることを特徴とする請求項 13 に記載の横電界型の液晶表示装置用アレイ基板の製造方法。

【請求項 15】

前記多数の共通電極パターン等のうち、一番内側の共通電極パターンは、前記共通配線と前記連結配線が、交差する画素領域の中心に位置するように形成することを特徴とする請求項 13 に記載の横電界型の液晶表示装置用アレイ基板の製造方法。

40

【請求項 16】

前記ストレージ電極は、前記一番外側の共通電極パターンの上部領域及び下部領域と重なる第 1 ストレージ電極パターン及び第 2 ストレージ電極パターンを含むことを特徴とする請求項 13 に記載の横電界型の液晶表示装置用アレイ基板の製造方法。

【請求項 17】

前記第 1 ストレージ電極パターンは、薄膜トランジスタに連結されていることを特徴とする請求項 16 に記載の横電界型の液晶表示装置用アレイ基板の製造方法。

【請求項 18】

50

前記第1ストレージ電極パターン及び第2ストレージ電極パターンは、相互に向かい合う面が、各々半円形状であることを特徴とする請求項16に記載の横電界型の液晶表示装置用アレイ基板の製造方法。

【請求項19】

前記画素領域は、実質的に、正四角形状であることを特徴とする請求項13に記載の横電界型の液晶表示装置用アレイ基板の製造方法。

【請求項20】

前記接する4つの画素領域は、各々赤色、緑色、青色、白色に対応することを特徴とする請求項13に記載の横電界型の液晶表示装置用アレイ基板の製造方法。

【請求項21】

前記ストレージ電極と前記共通電極は、相互に重なり、第1ストレージキャパシターを形成することを特徴とする請求項13に記載の横電界型の液晶表示装置用アレイ基板の製造方法。

【請求項22】

前記ストレージ電極は、接する画素領域のゲート配線と重なり、第2ストレージキャパシターを形成することを特徴とする請求項21に記載の横電界型の液晶表示装置用アレイ基板の製造方法。

【請求項23】

前記画素電極パターン及び共通電極パターンは、前記一番外側の共通電極パターンを除いて、実質的に、前記円形状のオープン部内に位置することを特徴とする請求項13に記載の横電界型の液晶表示装置用アレイ基板の製造方法。

【請求項24】

ゲート電極を含むゲート配線と、多数の共通電極パターン等を含む共通電極と、前記ゲート配線と平行であって、離隔された共通配線を、第1マスク工程を利用して形成する段階において、前記一番外側の共通電極パターンは、実質的に、四角形状であって、中央に、円形状のオープン部を含むように、形成する段階と；

前記ゲート配線、共通電極、共通配線の上に、ゲート絶縁膜を形成する段階と；

前記ゲート配線と交差して、開口領域を含む画素領域を定義するデータ配線と、前記データ配線から分岐されるソース電極と、前記ソース電極で、前記ゲート電極を間にして、離隔されているドレイン電極と、前記データ配線の下部に、データ配線のような形で、半導体物質層と、前記半導体物質層で、前記ソース電極及びドレイン電極の下部へと分岐される半導体層を、第2マスク工程を利用して形成して、前記ゲート電極、前記半導体層、前記ソース電極及びドレイン電極で構成される薄膜トランジスタを形成する段階において、前記ソース電極及びドレイン電極は、前記半導体層の両端を覆い、前記ソース電極及びドレイン電極間の半導体層は、露出されるように形成する段階と；

前記薄膜トランジスタを覆うように、基板全面に、保護層を形成する段階と；

前記ドレイン電極の一部を露出するドレインコンタクトホールを、第3マスク工程を利用して、前記保護層に形成する段階と；

前記一番外側の共通電極パターンと重なり、ドレイン電極に連結されるストレージ電極と、前記ストレージ電極に連結される連結配線と、前記連結配線から分岐され、多数の画素電極パターン等を含む画素電極を、保護層の上に、第4マスク工程を利用して形成する段階において、前記一番内側の画素電極パターンは、実質的に、円形状であって、前記共通電極パターンのうち、一番内側の共通電極パターンと前記多数の画素電極パターン等は、リング状であり、前記開口領域も、リング状である横電界型の液晶表示装置用アレイ基板の製造方法。

【請求項25】

前記多数の共通電極パターン等は、前記多数の画素電極パターン等と、交互に配置されていることを特徴とする請求項24に記載の横電界型の液晶表示装置用アレイ基板の製造方法。

【請求項26】

10

20

30

40

50

前記多数の共通電極パターン等のうち、一番内側の共通電極パターンは、前記共通配線と前記連結配線が、交差する画素領域の中心に位置するように形成することを特徴とする請求項24に記載の横電界型の液晶表示装置用アレイ基板の製造方法。

【請求項27】

前記ストレージ電極は、前記一番外側の共通電極パターンの上部領域及び下部領域と重なる第1ストレージ電極パターン及び第2ストレージ電極パターンを含むことを特徴とする請求項24に記載の横電界型の液晶表示装置用アレイ基板の製造方法。

【請求項28】

前記第1ストレージ電極パターンは、薄膜トランジスタに連結されていることを特徴とする請求項27に記載の横電界型の液晶表示装置用アレイ基板の製造方法。

10

【請求項29】

前記第1ストレージ電極パターン及び第2ストレージ電極パターンは、相互に向かい合う面が、各々半円形状であることを特徴とする請求項27に記載の横電界型の液晶表示装置用アレイ基板の製造方法。

【請求項30】

前記画素領域は、実質的に、正四角形状であることを特徴とする請求項24に記載の横電界型の液晶表示装置用アレイ基板の製造方法。

【請求項31】

前記接する4つの画素領域は、各々赤色、緑色、青色、白色に対応することを特徴とする請求項24に記載の横電界型の液晶表示装置用アレイ基板の製造方法。

20

【請求項32】

前記ストレージ電極と前記共通電極は、相互に重なり、第1ストレージキャパシターを形成することを特徴とする請求項24に記載の横電界型の液晶表示装置用アレイ基板の製造方法。

【請求項33】

前記ストレージ電極は、接する画素領域のゲート配線と重なり、第2ストレージキャパシターを形成することを特徴とする請求項32に記載の横電界型の液晶表示装置用アレイ基板の製造方法。

【請求項34】

前記画素電極パターン及び共通電極パターンは、前記一番外側の共通電極パターンを除いて、実質的に、前記円形状のオープン部内に位置することを特徴とする請求項24に記載の横電界型の液晶表示装置用アレイ基板の製造方法。

30

【請求項35】

基板上に、ゲート配線と；

前記ゲート配線と交差して、前記ゲート配線と開口領域を含む画素領域を定義するデータ配線と；

前記画素領域の一角部分に形成されて、ゲート配線及びデータ配線に連結されており、半導体を含む薄膜トランジスタと；

実質的に、長方形形状であって、その中央に、円形状のオープン部を含んでいる第1共通電極パターンと、前記円形状のオープン部の中央に位置して、螺旋形状の第2共通電極パターンを含み、前記画素領域内に位置する共通電極と；

40

前記データ配線と、実質的に、垂直に交差して、接する画素領域の共通電極を連結する共通配線と；

前記第1共通電極パターンと重なり、前記薄膜トランジスタに連結されるストレージ電極と；

前記円形状のオープン部内に位置して、前記第2共通電極パターンに沿って、実質的に、螺旋形状の画素電極を含み、前記画素電極と前記第2共通電極パターンは、螺旋形状の開口領域を形成する横電界型の液晶表示装置用アレイ基板。

【請求項36】

前記第2共通電極パターンは、前記第1共通電極パターンから延長されることを特徴と

50

する請求項 35 に記載の横電界型の液晶表示装置用アレイ基板。

【請求項 37】

前記画素電極は、前記ストレージ電極から延長されており、延長された画素電極の始めの地点は、前記延長された第 2 共通電極パターンの始めの地点と接することを特徴とする請求項 36 に記載の横電界型の液晶表示装置用アレイ基板。

【請求項 38】

前記螺旋形状の画素電極の第 1 螺旋は、前記第 1 共通電極パターンと、前記螺旋形状の第 2 共通電極パターンの第 1 螺旋間に位置することを特徴とする請求項 35 に記載の横電界型の液晶表示装置用アレイ基板。

【請求項 39】

前記共通配線は、前記共通電極と、一体型に形成されることを特徴とする請求項 35 に記載の横電界型の液晶表示装置用アレイ基板。

【請求項 40】

前記ストレージ電極は、前記第 1 共通電極パターンの円形状のオープン部に沿って、実質的に、丸い面を有することを特徴とする請求項 35 に記載の横電界型の液晶表示装置用アレイ基板。

【請求項 41】

前記接する 4 つの画素領域は、各々赤色、緑色、青色、白色に対応することを特徴とする請求項 35 に記載の横電界型の液晶表示装置用アレイ基板。

【請求項 42】

前記ストレージ電極と前記共通電極は、相互に重なり、第 1 ストレージキャパシターを形成することを特徴とする請求項 35 に記載の横電界型の液晶表示装置用アレイ基板。

【請求項 43】

前記ストレージ電極は、接する画素領域のゲート配線と重なり、第 2 ストレージキャパシターを形成することを特徴とする請求項 42 に記載の横電界型の液晶表示装置用アレイ基板。

【請求項 44】

前記データ配線の下部には、データ配線様の形状の半導体物質層をさらに含み、前記半導体層は、半導体物質層から分岐されることを特徴とする請求項 35 に記載の横電界型の液晶表示装置用アレイ基板。

【請求項 45】

ゲート電極を含むゲート配線と、第 1 共通電極パターン及び第 2 共通電極パターンを含む共通電極と、前記ゲート配線と平行であって、隔離された共通配線を、第 1 マスク工程を利用して形成する段階において、前記第 1 共通電極パターンは、実質的に、四角形状であって、中央に、円形状のオープン部を含むように形成して、前記第 2 共通電極パターンは、前記円形状のオープン部内で、螺旋形状になるように形成する段階と；

前記ゲート配線、共通電極及び共通配線の上部に、ゲート絶縁膜を形成する段階と；

前記ゲート電極の上部のゲート絶縁膜上に、第 2 マスク工程を利用して、半導体層を形成する段階と；

前記ゲート配線と交差して、開口領域を含む画素領域を定義するデータ配線、前記データ配線から分岐されるソース電極と、前記ソース電極で、隔離されているドレイン電極を、第 3 マスク工程を利用して形成して、前記ゲート電極、前記半導体層、前記ソース電極及びドレイン電極で構成される薄膜トランジスタを形成する段階において、前記ソース電極及びドレイン電極は、前記半導体層の両端を覆い、前記ソース電極及びドレイン電極間の半導体層は、露出されるように形成する段階と；

前記薄膜トランジスタを覆うように、基板全面に、保護層を形成する段階と；

前記ドレイン電極の一部を露出するドレインコンタクトホールを、第 4 マスク工程を利用して、前記保護層に形成する段階と；

前記第 1 共通電極パターンと重なり、ドレイン電極に連結されるストレージ電極と、前記円形状のオープン部内に位置して、前記第 2 共通電極パターンに沿って、実質的に、螺

10

20

30

40

50

螺旋形状の画素電極を、第5マスク工程を利用して形成する段階において、前記ストレージ電極は、前記薄膜トランジスタに連結されており、前記画素電極と前記第2共通電極パターンは、螺旋形状の開口領域を形成する横電界型の液晶表示装置用アレイ基板の製造方法。

【請求項46】

前記第2共通電極パターンは、前記第1共通電極パターンから延長されることを特徴とする請求項45に記載の横電界型の液晶表示装置用アレイ基板の製造方法。

【請求項47】

前記画素電極は、前記ストレージ電極から延長されており、延長された画素電極の始めの地点は、前記延長された第2共通電極パターンの始めの地点と接することを特徴とする請求項46に記載の横電界型の液晶表示装置用アレイ基板の製造方法。

10

【請求項48】

前記螺旋形状の画素電極の第1螺旋は、前記第1共通電極パターンと、前記螺旋形状の第2共通電極パターンの第1螺旋間に位置することを特徴とする請求項45に記載の横電界型の液晶表示装置用アレイ基板の製造方法。

【請求項49】

前記共通配線は、前記共通電極と、一体型に形成されることを特徴とする請求項45に記載の横電界型の液晶表示装置用アレイ基板の製造方法。

【請求項50】

前記ストレージ電極は、前記第1共通電極パターンの円形状のオープン部に沿って、実質的に、丸い面を有することを特徴とする請求項45に記載の横電界型の液晶表示装置用アレイ基板の製造方法。

20

【請求項51】

前記接する4つの画素領域は、各々赤色、緑色、青色、白色に対応することを特徴とする請求項45に記載の横電界型の液晶表示装置用アレイ基板の製造方法。

【請求項52】

前記ストレージ電極と前記共通電極は、相互に重なり、第1ストレージキャパシターを形成することを特徴とする請求項45に記載の横電界型の液晶表示装置用アレイ基板の製造方法。

【請求項53】

前記ストレージ電極は、接する画素領域のゲート配線と重なり、第2ストレージキャパシターを形成することを特徴とする請求項52に記載の横電界型の液晶表示装置用アレイ基板の製造方法。

30

【請求項54】

ゲート電極を含むゲート配線と、第1共通電極パターン及び第2共通電極パターンを含む共通電極と、前記ゲート配線と平行であって、隔離された共通配線を、第1マスク工程を利用して形成する段階において、前記第1共通電極パターンは、実質的に、四角形状であって、中央に、円形状のオープン部を含むように形成して、前記第2共通電極パターンは、前記円形状のオープン部内で、螺旋形状になるように形成する段階と；

前記ゲート配線、共通電極及び共通配線の上に、ゲート絶縁膜を形成する段階と；

40

前記ゲート配線と交差して、開口領域を含む画素領域を定義するデータ配線、前記データ配線から分岐されるソース電極と、前記ソース電極で、隔離されているドレイン電極と、前記データ配線の下部に、データ配線のような形状の半導体物質層と、前記ゲート電極の上部のゲート絶縁膜上に、前記半導体物質層から前記ソース電極及びドレイン電極の下部へと分岐された半導体層を、第2マスク工程を利用して形成して、前記ゲート電極、前記半導体層、前記ソース電極及びドレイン電極で構成される薄膜トランジスタを形成する段階において、前記ソース電極及びドレイン電極は、前記半導体層の両端を覆い、前記ソース電極及びドレイン電極間の半導体層は、露出されるように形成する段階と；

前記薄膜トランジスタを覆うように、基板全面に、保護層を形成する段階と；

前記ドレイン電極の一部を露出するドレインコンタクトホールを、第3マスク工程を利

50

用して、前記保護層に形成する段階と；

前記第1共通電極パターンと重なるストレージ電極と、前記円形状のオープン部内に位置して、前記第2共通電極パターンに沿って、実質的に、螺旋形状の画素電極を、第4マスク工程を利用して形成する段階において、前記ストレージ電極は、前記薄膜トランジスタに連結されており、前記画素電極と前記第2共通電極パターンは、螺旋形状の開口領域を形成する横電界型の液晶表示装置用アレイ基板の製造方法。

【請求項55】

前記第2共通電極パターンは、前記第1共通電極パターンから延長されることを特徴とする請求項54に記載の横電界型の液晶表示装置用アレイ基板の製造方法。

【請求項56】

前記画素電極は、前記ストレージ電極から延長されており、延長された画素電極の始めの地点は、前記延長された第2共通電極パターンの始めの地点と接することを特徴とする請求項55に記載の横電界型の液晶表示装置用アレイ基板の製造方法。

【請求項57】

前記螺旋形状の画素電極の第1螺旋は、前記第1共通電極パターンと、前記螺旋形状の第2共通電極パターンの第1螺旋間に位置することを特徴とする請求項54に記載の横電界型の液晶表示装置用アレイ基板の製造方法。

【請求項58】

前記共通配線は、前記共通電極と、一体型に形成されることを特徴とする請求項54に記載の横電界型の液晶表示装置用アレイ基板の製造方法。

【請求項59】

前記ストレージ電極は、前記第1共通電極パターンの円形状のオープン部に沿って、実質的に、丸い面を有することを特徴とする請求項54に記載の横電界型の液晶表示装置用アレイ基板の製造方法。

【請求項60】

前記接する4つの画素領域は、各々赤色、緑色、青色、白色に対応することを特徴とする請求項54に記載の横電界型の液晶表示装置用アレイ基板の製造方法。

【請求項61】

前記ストレージ電極と前記共通電極は、相互に重なり、第1ストレージキャパシターを形成することを特徴とする請求項54に記載の横電界型の液晶表示装置用アレイ基板の製造方法。

【請求項62】

前記ストレージ電極は、接する画素領域のゲート配線と重なり、第2ストレージキャパシターを形成することを特徴とする請求項61に記載の横電界型の液晶表示装置用アレイ基板の製造方法。

【請求項63】

基板上のゲート配線と；

前記ゲート配線と交差して、開口領域を含む画素領域を定義するデータ配線と；

前記データ配線の下部で、前記データ配線のような形状の半導体物質層と；

前記画素領域の一角部分に形成されて、ゲート配線及びデータ配線に連結されており、ソース電極とドレイン電極及び前記半導体物質層から分岐された半導体層を含む薄膜トランジスタと；

前記ゲート配線と平行であって、離隔するように形成された共通配線と；

前記共通配線から分岐され、多数の共通電極パターン等を含み、前記多数の共通電極パターン等のうち、一番外側の共通電極パターンは、実質的に、四角形状であって、中央に、円形状のオープン部を含む共通電極と；

接する画素領域のゲート配線と重なるように形成されたストレージ電極と；

前記円形状のオープン部に位置して、多数の画素電極パターン等を含む画素電極と；

前記画素領域内で、前記データ配線と平行であって、前記ストレージ電極と前記画素電極及び前記ドレイン電極とに連結されている連結配線を含み、前記画素電極は、前記連結

10

20

30

40

50

配線の一部と重なり、連結配線と直接的に接触して、前記一番内側の画素電極パターンは、実質的に、円形状であり、他の画素電極パターン等は、リング状であって、前記共通電極パターンのうち、一番内側のパターンは、リング状であり、前記画素領域内の前記開口領域は、実質的に、リング状である横電界型の液晶表示装置用アレイ基板。

【請求項 64】

前記多数の共通電極パターン等は、前記多数の画素電極パターン等と、交互に位置することを特徴とする請求項 63 に記載の横電界型の液晶表示装置用アレイ基板。

【請求項 65】

前記多数の共通電極パターン等のうち、一番内側の共通電極パターンは、前記共通配線と前記連結配線が交差する画素領域の中心に位置することを特徴とする請求項 63 に記載の横電界型の液晶表示装置用アレイ基板。

10

【請求項 66】

前記ストレージ電極は、前記連結配線を通じて、前記薄膜トランジスタに連結されることを特徴とする請求項 63 に記載の横電界型の液晶表示装置用アレイ基板。

【請求項 67】

前記接する 4 つの画素領域は、各々赤色、緑色、青色、白色に対応することを特徴とする請求項 63 に記載の横電界型の液晶表示装置用アレイ基板。

【請求項 68】

前記ストレージ電極は、前記一番外側の共通電極パターンと重なり、第 1 ストレージキャパシターを形成して、前記接する画素領域の前記ゲート配線と重なり、第 2 ストレージキャパシターを形成することを特徴とする請求項 63 に記載の横電界型の液晶表示装置用アレイ基板。

20

【請求項 69】

前記画素電極パターン及び共通電極パターンは、前記一番外側の共通電極パターンを除いて、実質的に、前記円形状のオープン部内に位置することを特徴とする請求項 63 に記載の横電界型の液晶表示装置用アレイ基板。

【請求項 70】

ゲート電極を含むゲート配線と、多数の共通電極パターン等を含む共通電極と、前記ゲート配線と平行であって、離隔される共通配線を、第 1 マスク工程を利用して形成する段階において、前記一番外側の共通電極パターンは、実質的に、四角形状であって、中央に、円形状のオープン部を含むように形成する段階と；

30

前記ゲート配線、共通電極、共通配線の上部に、ゲート絶縁膜を形成する段階と；

前記ゲート配線と交差して、開口領域を含む画素領域を定義するデータ配線と、前記データ配線から分岐されるソース電極と、前記ソース電極で、前記ゲート電極を間にして、離隔されているドレイン電極と、前記データ配線と、実質的に、平行であって、前記ドレイン電極に連結された連結配線と、前記連結配線から延長され、接する画素領域のゲート配線の上部に形成されたストレージ電極と、前記データ配線の下部で、前記データ配線のような形状の半導体物質層と、前記半導体物質層で、前記ソース電極及びドレイン電極の下部及び前記ゲート電極の上部へと分岐される半導体層を、第 2 マスク工程を利用して形成して、前記ゲート電極、前記半導体層、前記ソース電極及びドレイン電極で構成される薄膜トランジスタを形成する段階において、前記ソース電極及びドレイン電極は、前記半導体層の両端を覆い、前記ソース電極及びドレイン電極間の半導体層は、露出されるように形成する段階と；

40

前記薄膜トランジスタの上部に、前記多数の共通電極パターン等の間に、第 3 マスク工程を利用して、離隔領域を含むフォトレジストパターンを形成する段階と；

前記フォトレジストパターンを覆うように、基板全面に、透明導電性物質層を形成する段階と；

前記フォトレジストパターンを除去すると同時に、フォトレジストパターン上に形成された透明導電性物質層を除去して、多数の画素電極パターン等を含む画素電極を形成する段階において、前記画素電極は、前記離隔領域に位置して、前記連結配線と接触するよう

50

に形成する段階を含み、前記一番内側の画素電極パターンは、実質的に、円形状であり、他の画素電極パターンは、リング状であって、前記共通電極パターンのうち、一番内側の共通電極パターンは、リング状であり、前記開口領域も、リング状になるように形成する横電界型の液晶表示装置用アレイ基板の製造方法。

【請求項 71】

前記多数の共通電極パターン等は、前記多数の画素電極パターン等と、交互に位置することを特徴とする請求項 70 に記載の横電界型の液晶表示装置用アレイ基板の製造方法。

【請求項 72】

前記多数の共通電極パターン等のうち、一番内側の共通電極パターンは、前記共通配線と前記連結配線が交差する画素領域の中心に位置することを特徴とする請求項 70 に記載の横電界型の液晶表示装置用アレイ基板の製造方法。

10

【請求項 73】

前記ストレージ電極は、前記連結配線を通じて、前記薄膜トランジスタに連結されることを特徴とする請求項 70 に記載の横電界型の液晶表示装置用アレイ基板の製造方法。

【請求項 74】

前記接する 4 つの画素領域は、各々赤色、緑色、青色、白色に対応することを特徴とする請求項 70 に記載の横電界型の液晶表示装置用アレイ基板の製造方法。

【請求項 75】

前記ストレージ電極は、前記一番外側の共通電極パターンと重なり、第 1 ストレージキャパシターを形成して、前記接する画素領域の前記ゲート配線と重なり、第 2 ストレージキャパシターを形成することを特徴とする請求項 70 に記載の横電界型の液晶表示装置用アレイ基板の製造方法。

20

【請求項 76】

前記画素電極パターン及び共通電極パターンは、前記一番外側の共通電極パターンを除いて、実質的に、前記円形状のオープン部内に位置することを特徴とする請求項 70 に記載の横電界型の液晶表示装置用アレイ基板の製造方法。

【請求項 77】

基板上のゲート配線と；

前記ゲート配線と交差して、開口領域を含む画素領域を定義するデータ配線と；

前記データ配線の下部で、前記データ配線のような形状の半導体物質層と；

前記画素領域の一角部分に形成されて、ゲート配線及びデータ配線に連結されており、ソース電極とドレイン電極及び前記半導体物質層から分岐された半導体層を含む薄膜トランジスタと；

30

前記ゲート配線と平行であって、離隔するように形成された共通配線と；

接する画素領域のゲート配線と、重なるように形成されたストレージ電極と；

前記画素領域内で、前記データ配線と平行であって、前記ストレージ電極及び前記ドレイン電極とに連結されている連結配線と；

多数の共通電極パターン等を含む共通電極において、各々の前記共通電極パターンは、前記連結配線と重ならない状態で、前記連結配線により、2 つの部分に、分離される共通電極と；

40

円形状のオープン部に位置して、前記共通配線と重ならない、多数の画素電極パターン等で構成された画素電極を含み、前記多数の共通電極パターン等のうち、一番外側の共通電極パターンは、画素領域内で、実質的に、四角形状であって、その中央に、円形状のオープン部を含み、他の共通電極パターン等は、半円状であり、前記多数の画素電極パターン等のうちで、一番内側の画素電極パターンは、画素領域の中央で、前記連結配線の領域内に位置して、他の画素電極パターン等は、半円状であって、前記多数の共通電極パターン等と多数の画素電極パターン等は、リング状の開口領域を形成する横電界型の液晶表示装置用アレイ基板。

【請求項 78】

前記画素電極は、前記連結配線の一部と重なり、前記連結配線と直接接触することを特

50

徴とする請求項 77 に記載の横電界型の液晶表示装置用アレイ基板。

【請求項 79】

前記共通電極は、前記共通配線の一部と重なり、前記共通配線と直接接触することを特徴とする請求項 77 に記載の横電界型の液晶表示装置用アレイ基板。

【請求項 80】

ゲート電極を含むゲート配線と、前記ゲート配線と平行であって、離隔される共通配線を、第 1 マスク工程を利用して形成する段階と；

前記ゲート配線と共通配線の上部に、ゲート絶縁膜を形成する段階と；

前記ゲート配線と交差して、開口領域を含む画素領域を定義するデータ配線と、前記データ配線から分岐されるソース電極と、前記ソース電極で、離隔されているドレイン電極と、前記データ配線と、実質的に、平行であって、前記ドレイン電極に連結された連結配線と、前記連結配線から延長され、接する画素領域のゲート配線の上部に形成されたストレージ電極と、前記データ配線の下部で、前記データ配線のような形状の半導体物質層と、前記半導体物質層で、前記ソース電極及びドレイン電極の下部及び前記ゲート電極の上部へと分岐された半導体層を、第 2 マスク工程を利用して形成して、前記ゲート電極、前記半導体層、前記ソース電極及びドレイン電極で構成される薄膜トランジスタを形成する段階において、前記ソース電極及びドレイン電極は、前記半導体層の両端を覆い、前記ソース電極及びドレイン電極間の半導体層は、露出されるように形成する段階と；

前記薄膜トランジスタの上部に、第 3 マスク工程を利用して、フォトレジストパターンを形成する段階において、前記フォトレジストパターンは、前記連結配線と重ならなくて、前記連結配線に対して、対称的な 2 つの第 1 離隔領域と、前記共通配線と重ならなくて、前記共通配線に対して、対称的な 2 つの第 2 離隔領域を含むように形成する段階と；

前記フォトレジストパターンを、マスクを利用して、前記 2 つの第 1 離隔領域により露出されたゲート絶縁膜をエッチングして、下部の共通配線と連結配線を露出する段階と；

前記フォトレジストパターンを含む基板全面に、透明導電性物質層を形成する段階と；

前記フォトレジストパターンを除去すると同時に、フォトレジストパターン上に形成された透明導電性物質層を除去して、画素電極と共通電極を形成する段階において、前記共通電極及び画素電極は、前記第 1 離隔領域及び第 2 離隔領域と対応する位置に形成して、前記共通電極は、多数の共通電極パターン等を含み、前記画素電極は、多数の画素電極パターン等を含むように形成する段階を含み、前記多数の共通電極パターン等のうち、一番外側の共通電極パターンは、画素領域内で、実質的に、四角形状であって、内部に、円形状のオープン部を含むように形成して、他の共通電極等は、半円形状になるように形成して、前記画素電極パターン等のうち、一番内側の画素電極パターンは、画素領域の中央で、前記連結配線の領域内に位置するように形成して、他の画素電極パターン等は、半円状になるように形成して、前記多数の共通電極パターン等と多数の画素電極パターン等は、リング状の開口領域を形成する横電界型の液晶表示装置用アレイ基板の製造方法。

【請求項 81】

前記画素電極は、前記連結配線の一部と重なり、前記連結配線と直接接触することを特徴とする請求項 80 に記載の横電界型の液晶表示装置用アレイ基板の製造方法。

【請求項 82】

前記共通電極は、前記共通配線の一部と重なり、前記共通配線と直接接触することを特徴とする請求項 80 に記載の横電界型の液晶表示装置用アレイ基板の製造方法。

【請求項 83】

基板上のゲート配線と；

前記ゲート配線と交差して、開口領域を含む画素領域を定義するデータ配線と；

前記画素領域の一角部分に形成されていて、ゲート配線及びデータ配線に連結されており、ゲート電極、ソース電極、ドレイン電極及び半導体層を含む薄膜トランジスタと；

前記ゲート配線と平行であって、離隔するように形成された共通配線と；

前記共通配線から延長され、多数の共通電極パターン等を含み、前記多数の共通電極パターン等のうち、一番外側の共通電極パターンは、画素領域内で、長方形形状であって、そ

の中央に、四角形状のオープン部を含む共通電極と；

前記長方形の共通電極パターンと重なり、薄膜トランジスタに連結されたストレージ電極と；

前記画素領域内で、前記データ配線と平行であって、前記ストレージ電極に連結された連結配線と；

前記四角形状のオープン部に位置して、前記連結配線から分岐されており、多数の画素電極パターン等を含む画素電極を含み、前記多数の画素電極パターン等のうち、一番内側の画素電極パターンは、実質的に、円形状であって、他の画素電極パターン等は、リング状であり、前記多数の共通電極パターン等のうち、一番内側の共通電極パターンは、リング状であって、リング状の開口領域を形成する横電界型の液晶表示装置用アレイ基板。

10

【請求項 8 4】

前記多数の共通電極パターン等は、前記多数の画素電極パターン等と、交互に位置することを特徴とする請求項 8 3 に記載の横電界型の液晶表示装置用アレイ基板。

【請求項 8 5】

前記多数の共通電極パターン等のうち、一番内側の共通電極パターンは、前記共通配線と前記連結配線が交差する画素領域の中心に位置することを特徴とする請求項 8 3 に記載の横電界型の液晶表示装置用アレイ基板。

【請求項 8 6】

前記ストレージ電極は、前記一番外側の共通電極パターンの下部領域及び上部領域と、各々重なる第 1 ストレージキャパシターパターン及び第 2 ストレージキャパシターパターンを含むことを特徴とする請求項 8 3 に記載の横電界型の液晶表示装置用アレイ基板。

20

【請求項 8 7】

前記第 1 キャパシター電極パターンは、薄膜トランジスタに連結されていることを特徴とする請求項 8 6 に記載の横電界型の液晶表示装置用アレイ基板。

【請求項 8 8】

前記接する 4 つの画素領域は、各々赤色、緑色、青色、白色に対応することを特徴とする請求項 8 3 に記載の横電界型の液晶表示装置用アレイ基板。

【請求項 8 9】

前記ストレージ電極と前記共通電極は、相互に重なり、第 1 ストレージキャパシターを形成することを特徴とする請求項 8 3 に記載の横電界型の液晶表示装置用アレイ基板。

30

【請求項 9 0】

前記ストレージ電極は、接する画素領域のゲート配線と重なり、第 2 ストレージキャパシターを形成することを特徴とする請求項 8 9 に記載の横電界型の液晶表示装置用アレイ基板。

【請求項 9 1】

前記画素電極パターン及び共通電極パターンは、前記一番外側の共通電極パターンを除いて、実質的に、前記四角形状のオープン部内に位置することを特徴とする請求項 8 3 に記載の横電界型の液晶表示装置用アレイ基板。

【請求項 9 2】

基板上のゲート配線と；

40

前記ゲート配線と交差して、開口領域を含む画素領域を定義するデータ配線と；

前記データ配線の下部に、前記データ配線のような形で形成された半導体物質層と；

前記画素領域の一角部分に形成されて、ゲート配線及びデータ配線に連結されており、ゲート電極、ソース電極、ドレイン電極及び前記半導体物質層から分岐された半導体層を含む薄膜トランジスタと；

前記ゲート配線と平行であって、離隔するように形成された共通配線と；

接する画素領域のゲート配線と、重なるように形成されたストレージ電極と；

前記画素領域内で、前記データ配線と平行であって、前記ドレイン電極から延長されており、前記ストレージ電極及び前記ドレイン電極に連結されている連結配線と；

前記ストレージ電極及び連結配線の上部に形成されて、下部の共通配線及び連結配線を

50

、各々露出させる第1コンタクトホール及び第2コンタクトホールが形成されている保護層と；

多数の共通電極パターン等を含み、前記保護層上に形成された共通電極において、前記多数の共通電極パターン等のうち、一番外側の共通電極パターンは、接する画素の一番外側の共通電極パターン等を連結して、画素領域内で、その中央に、円形状のオープン部を含み、他の共通電極パターン等は、リング状である共通電極と；

多数の画素電極パターン等を含み、前記円形状のオープン部内に位置する画素電極において、多数の画素電極パターン等のうち、一番内側の画素電極パターンは、円形状であって、前記共通配線と連結電極が交差する交差部に位置して、他の画素電極パターンは、リング状の画素電極を含む横電界型の液晶表示装置用アレイ基板。

10

【請求項93】

前記共通電極は、前記共通配線及び連結配線と重なり、前記第1コンタクトホールを通じて、前記共通配線と接触することを特徴とする請求項92に記載の横電界型の液晶表示装置用アレイ基板。

【請求項94】

前記画素電極は、前記共通配線及び連結配線と重なり、前記第2コンタクトホールを通じて、前記連結配線と接触することを特徴とする請求項92に記載の横電界型の液晶表示装置用アレイ基板。

【請求項95】

前記多数の共通電極パターン等は、前記多数の画素電極パターン等と、交互に位置することを特徴とする請求項92に記載の横電界型の液晶表示装置用アレイ基板。

20

【請求項96】

前記多数の共通電極パターン等のうち、一番内側の共通電極パターンは、画素領域の中央に位置することを特徴とする請求項92に記載の横電界型の液晶表示装置用アレイ基板。

【請求項97】

前記接する4つの画素領域は、各々赤色、緑色、青色、白色に対応することを特徴とする請求項92に記載の横電界型の液晶表示装置用アレイ基板。

【請求項98】

前記共通電極及び画素電極は、インジウムスズオキサイド（ITO）で構成されることを特徴とする請求項92に記載の横電界型の液晶表示装置用アレイ基板。

30

【請求項99】

前記共通電極は、前記データ配線の上部に形成することを特徴とする請求項92に記載の横電界型の液晶表示装置用アレイ基板。

【請求項100】

ゲート電極を含むゲート配線と、前記ゲート配線と平行であって、離隔される共通配線を、第1マスク工程を利用して形成する段階と；

前記ゲート配線と共通配線の上部に、ゲート絶縁膜を形成する段階と；

前記ゲート配線と交差して、開口領域を含む画素領域を定義するデータ配線と、前記データ配線から分岐されるソース電極と、前記ソース電極で、離隔されているドレイン電極と、前記データ配線の下部で、前記データ配線のような形状の半導体物質層と、前記画素領域の一角部分に、ゲート配線及びデータ配線に連結された薄膜トランジスタと、接する画素のゲート配線と重なるストレージ電極と、前記データ配線と、実質的に、平行であって、前記ドレイン電極に連結された連結配線を、第2マスク工程を利用して形成する段階において、前記連結配線は、ストレージ電極及び薄膜トランジスタのドレイン電極に連結されるように形成する段階と；

40

前記薄膜トランジスタの上部に、保護層を形成する段階と；

前記保護層に、第3マスク工程を利用して、第1コンタクトホール及び第2コンタクトホールを形成する段階と；

多数の共通電極パターン等を含む共通電極を、前記保護層の上部に形成する段階におい

50

て、前記多数の共通電極パターン等のうち、一番外側の共通電極パターンは、接する画素の一番外側の共通電極パターンに連結されて、画素領域内で、その中央に、円形状のオープン部を含んでおり、一番内側の共通電極パターンは、リング状に形成する段階と；

多数の画素電極パターン等を含む画素電極を、前記円形状のオープン部内に形成する段階において、多数の画素電極パターン等のうち、一番内側の画素電極パターンは、前記共通配線が、前記連結配線と交差する部分で、円形状に形成して、他の画素電極パターンは、リング状に形成する段階を含み、前記共通電極及び画素電極は、第4マスク工程を利用して形成する段階を含む横電界型の液晶表示装置用アレイ基板の製造方法。

【請求項101】

前記共通電極は、インジウムスズオキシド（ITO）で形成することを特徴とする請求項100に記載の横電界型の液晶表示装置用アレイ基板の製造方法。

10

【請求項102】

前記共通電極は、前記データ配線の上部に形成することを特徴とする請求項100に記載の横電界型の液晶表示装置用アレイ基板の製造方法。

【請求項103】

基板上のゲート配線と；

前記ゲート配線と交差して、開口領域を含む画素領域を定義するデータ配線と；

前記ゲート配線の一端に連結されたゲートパッドと；

前記データ配線の一端に連結されたデータパッドと；

前記ゲートパッドに連結されたゲートパッド電極と；

前記データパッドに連結されたデータパッド電極と；

前記データ配線の下部で、前記データ配線のような形で形成された半導体物質層と；

前記画素領域の一角部分に、前記ゲート配線及びデータ配線に連結されて、ソース電極、ドレイン電極及び半導体物質層から分岐された半導体層を含む薄膜トランジスタと；

前記ゲート配線と離隔されて、平行である共通配線と；

前記共通配線から分岐されて、多数の共通電極パターン等を含む共通電極において、前記多数の共通電極パターン等のうち、一番外側の共通電極パターンは、画素領域内で、四角形状であって、その中央に、円形状のオープン部を含む共通電極と；

接する画素領域のゲート配線と重なるストレージ電極と；

前記円形状のオープン部内に位置して、多数の画素電極パターン等を含む画素電極と；

20

30

前記画素領域内で、前記データ配線と平行であって、前記画素電極及び薄膜トランジスタのドレイン電極に連結された連結配線を含み、前記多数の画素電極パターン等のうち、一番内側の画素電極パターンは、前記連結配線の領域内に位置して、前記画素電極は、前記連結配線の一部と重なり、連結配線とは、直接接触して、前記一番内側の画素電極パターンを除いた他の画素電極パターン等は、半円状であって、前記半導体物質層は、前記ソース電極及びドレイン電極、前記連結配線、前記ストレージ電極の下部へと延長されており、前記多数の共通電極パターン等のうち、一番内側の共通電極パターンは、リング状であって、開口領域を、リング状に構成する横電界型の液晶表示装置用アレイ基板。

【請求項104】

前記多数の共通電極パターン等は、前記多数の画素電極パターン等と、交互に位置することを特徴とする請求項103に記載の横電界型の液晶表示装置用アレイ基板。

40

【請求項105】

前記多数の画素電極パターン等のうち、一番内側の画素電極パターンは、前記共通配線と前記連結配線が交差する画素領域の中央に位置することを特徴とする請求項103に記載の横電界型の液晶表示装置用アレイ基板。

【請求項106】

前記ストレージ電極は、前記連結配線を通じて、前記薄膜トランジスタに連結されていることを特徴とする請求項103に記載の横電界型の液晶表示装置用アレイ基板。

【請求項107】

前記接する4つの画素領域は、各々赤色、緑色、青色、白色に対応することを特徴とす

50

る請求項103に記載の横電界型の液晶表示装置用アレイ基板。

【請求項108】

前記共通電極パターン及び前記画素電極パターンは、一番外側の共通電極パターンを除いて、全て、前記円形状のオープン部の内部に位置することを特徴とする請求項103に記載の横電界型の液晶表示装置用アレイ基板。

【請求項109】

ゲート電極を含むゲート配線と、多数の共通電極パターン等を含む共通電極と、前記ゲート配線の一端に連結されたゲートパッドと、前記ゲート配線と離隔されて、平行である共通配線を、基板上に、第1マスク工程を利用して形成する段階において、前記多数の共通電極パターン等のうち、一番外側の共通電極パターンは、実質的に、四角形状であって、その中央に、円形状のオープン部を有するように形成する段階と；

10

前記ゲート配線、共通電極、ゲートパッド、共通配線の上部に、ゲート絶縁膜を形成する段階と；

前記ゲート配線と交差して、開口領域を含む画素領域を定義するデータ配線と、前記データ配線から分岐されたソース電極と、前記ソース電極と前記ゲート電極を間にして、離隔されたドレイン電極と、前記データ配線と、実質的に、平行であって、前記ドレイン電極から延長された連結配線と、接する画素領域のゲート配線と重なるストレージ電極と、前記データ配線の一端に連結されたデータパッドと、前記データ配線の下部で、前記データ配線のような形状の半導体物質層と、前記半導体物質層で、前記ゲート電極の上部と、前記ソース電極及びドレイン電極と、連結配線の下部へと分岐された半導体層を、第2マスク工程を利用して形成する段階において、前記ソース電極及びドレイン電極は、前記ゲート電極の両端と重なり、前記ソース電極及びドレイン電極間の半導体層は露出されて、前記ゲート電極、ソース電極、ドレイン電極及び半導体層は、薄膜トランジスタを構成する段階と；

20

前記データ配線、ソース電極及びドレイン電極、データパッド、連結配線及びストレージ電極の上部に、保護層を形成する段階と；

前記薄膜トランジスタを覆うように、前記保護層の上部に、フォトレジストパターンを形成する段階において、前記フォトレジストパターンは、前記多数の共通電極パターン等の間に、離隔領域を含み、前記ゲートパッド及びデータパッドを露出するコンタクトオープン部を含むように形成する段階と；

30

前記フォトレジストパターンを覆うように、基板全面に、透明導電性物質層を形成する段階と；

前記フォトレジストパターンを除去すると同時に、フォトレジストパターン上に形成された透明導電性物質層を除去して、画素電極、ゲートパッド電極、データパッド電極を形成する段階において、前記画素電極は、多数の画素電極パターン等を含み、前記離隔領域に位置して、前記連結配線と直接接触するように形成する段階を含み、前記多数の画素電極パターン等のうち、一番内側の画素電極パターンは、棒状であって、他の画素電極パターンは、半円状であり、前記多数の共通電極パターン等のうち、一番内側の共通電極パターンは、リング状であって、リング状の開口領域を形成する横電界型の液晶表示装置用アレイ基板の製造方法。

40

【請求項110】

前記多数の共通電極パターン等は、前記多数の画素電極パターン等と、交互に位置することを特徴とする請求項109に記載の横電界型の液晶表示装置用アレイ基板の製造方法。

【請求項111】

前記多数の画素電極パターン等のうち、一番内側の画素電極パターンは、前記共通配線と前記連結配線が交差する画素領域の中央に位置することを特徴とする請求項109に記載の横電界型の液晶表示装置用アレイ基板の製造方法。

【請求項112】

前記ストレージ電極は、前記連結配線を通じて、前記薄膜トランジスタに連結されるよ

50

うに形成することを特徴とする請求項 109 に記載の横電界型の液晶表示装置用アレイ基板の製造方法。

【請求項 113】

前記ストレージ電極は、前記共通電極パターンのうち、一番外側の共通電極パターンと重なるように形成して、前記一番外側の共通電極パターンとストレージキャパシターを形成することを特徴とする請求項 109 に記載の横電界型の液晶表示装置用アレイ基板の製造方法。

【請求項 114】

前記画素電極パターン及び共通電極パターンは、一番外側の共通電極パターンを除いて、全て、前記円形状のオープン部内に位置するように形成することを特徴とする請求項 109 に記載の横電界型の液晶表示装置用アレイ基板の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に係り、特に、横電界型（IPS: In-Plane Switching モード）の液晶表示装置及びその製造方法に関する。

【背景技術】

【0002】

一般的に、液晶表示装置の駆動原理は、液晶の光学的異方性と分極性質を利用する。前記液晶は、構造が細くて長いために、分子の配列に方向性がある、人為的に、液晶に電界を印加して分子の配列の方向を制御することができる。

【0003】

従って、前記液晶分子の配列の方向を任意に調節すると、液晶分子の配列が変わって、光学的異方性により前記液晶分子の配列の方向で光が屈折して、画像の情報が表現できる。

【0004】

現在では、薄膜トランジスタと、前記薄膜トランジスタに連結された画素電極が、能動方式で配列された能動行列の液晶表示装置（以下、液晶表示装置と略称する。）が解像度及び動映像の具現能力が優れて最も注目を浴びている。

【0005】

一般的に、液晶表示装置は、共通電極が形成されたカラーフィルター基板と、画素電極が形成されたアレイ基板と、両基板間に充填された液晶とで構成されるが、このような液晶表示装置では、共通電極と画素電極間の上下に掛かる垂直の電界により液晶を駆動させる方式であって、透過率と開口率等の特性が優れる。

【0006】

ところが、前述した垂直の電界による液晶の駆動は、視野角の特性が優れてないので、これを改善するため、水平の電界により液晶を駆動させ、広視野角の特性がある横電界型の液晶表示装置が提案されている。

【0007】

図 1 は、一般的な横電界型の液晶表示装置の断面を示した断面図である。

図示したように、カラーフィルター基板である上部基板 10 と、アレイ基板である下部基板 20 が、相互に向かい合って離隔しており、この上部基板 10 及び下部基板 20 間には、液晶層 30 が介在されている構造で、前記下部基板 20 の内部面には、共通電極 22 及び画素電極 24 が形成されている。

【0008】

前記液晶層 30 は、前記共通電極 22 と画素電極 24 の水平の電界 26 により作動されて、液晶層 30 内の液晶分子 32 が、水平の電界により移動するので、視野角が広がる特性がある。

例えば、前記横電界型の液晶表示装置を正面から見た場合、上／下／左／右に約 80° - 85° 方向で見ることができる。

【0009】

以下、図2は、従来の横電界型の液晶表示装置用アレイ基板の概略的な平面図である。

図示したように、ゲート配線40及びデータ配線42が相互に交差して形成されており、ゲート配線40及びデータ配線42の交差点には、薄膜トランジスタTが形成されている。ゲート配線40及びデータ配線42の交差領域は、画素領域Pとして定義され、画素領域Pには、共通電極44及び画素電極46が形成されており、両電極間の横電界により液晶が水平に配列される領域を実質的の開口領域Iとすることを特徴とする。

【0010】

より詳しく説明すると、前記薄膜トランジスタTに連結されストレージ電極48が形成されており、ストレージ電極48では、データ配線42と同じ方向へ、多数の画素電極46が分岐されている。そして、前記ゲート配線40と同じ方向へ、一定間隔離隔されるように共通電極50が形成されており、前記共通配線50では、画素電極46と交互に、多数の共通電極44が形成されている。

10

【0011】

例えば、本図面では、共通電極44と画素電極46の開口領域Iを、1つのブロックとして定義した場合、4ブロック構造に関して示される。

【0012】

このように、横電界型の液晶表示装置は、共通電極と画素電極間に形成される横電界により液晶分子を駆動させる構造であるので、既存の一般的な垂直電界型の液晶表示装置より視野角が向上される効果がある。

20

【0013】

最近には、横電界型の液晶表示装置の視野角の特性をさらに向上させるために、ドメインを多数に分割りする構造が提案されている。

【0014】

図3は、既存のマルチドメインである横電界型の液晶表示装置用アレイ基板の概略的な平面図であって、前記図2と重複する部分の説明は、簡略にして、特徴的な構造を中心に説明する。ストレージ電極58及び共通配線60から、各々画素電極56及び共通電極54が、交互に多数分岐されることに応じて、前記画素電極56及び共通電極54がジグザグに、何度も曲がった構造で構成されることを特徴とする。

【0015】

そして、前記画素電極56及び共通電極54の区間に位置する液晶分子等は、画素電極56及び共通電極54の曲がっている部分を基準に、相互に配列され、マルチドメイン構造に構成されて、既存の一字型の電極構造と比べて、視野角が改善される。

30

【0016】

前記ストレージ電極58は、前記共通配線60と重なるように位置して、ストレージ電極58と共通配線60の重畳領域は、ストレージキャパシタCstを構成する。そして、前記多数の画素電極56のうち、どちらかの一方の画素電極56は、薄膜トランジスタT用ドレイン電極62と、一体型パターンに構成されている。

【0017】

ところが、既存のジグザグ構造を利用したマルチドメイン横電界型の液晶表示装置によると、視野角度により液晶の方向子が異なるので、色の反転が発生され、これによって、視野角の改善が限られた。

40

【0018】

図4は、既存のジグザグ構造のマルチドメイン横電界型の液晶表示装置の視野角の特性を示した図である。既存のジグザグ構造の横電界型の液晶表示装置によると、90°、180°方向(IVa, IVb)すなわち、上/下、左/右への視野角の特性は改善されたが、45°、135°方向(IVc, IVd)への視野角の特性は、低下される。

また、色の反転現象も同じく、全方向に対して視野角別の差が存在する。

【0019】

より詳しく説明すると、液晶層に電圧が印加されると、液晶分子は、両電極間の電界の

50

影響を受けて、平均的に大略45°位回転して、このような液晶分子が回転する方向での階調の反転が発生するが、特に、階調表示の駆動時には、液晶分子の屈折率の異方性により偏光子に対する45°(+45°)方向へは、大体黄色を示して、135°(-45°)方向へは、的に青色を示すカラーシフトが発生する。

【発明の開示】

【発明が解決しようとする課題】

【0020】

前述したような問題を解決するために、本発明では、階調の反転によるカラーシフトによる視野角の特性の低下を防げる構造の横電界型の液晶表示装置及びその製造方法を提供することを目的とする。

前記目的を達成するために、本発明では、開口領域をリング状または、螺旋形構造で構成することができて、パターン構造として共通電極及び画素電極を形成して、液晶の方向子がどちらの方向から見ても、同じくなり、これにより、色の反転を防ぎ、視野角の特性を向上させる。

【課題を解決するための手段】

【0021】

前述した目的を達成するために、本発明の第1特徴では、第1方向へと形成されたゲート配線と；第2方向へと、ゲート配線と交差して、開口領域を含む画素領域を定義するデータ配線と；前記画素領域の一角部分に形成されて、ゲート配線及びデータ配線に連結されており、半導体層を含む薄膜トランジスタと；前記第1方向へと、ゲート配線と離隔するように形成された共通配線と；前記共通配線から分岐され、多数の共通電極パターン等を含み、共通電極パターンのうち、一番外側の共通電極パターンは、実質的に、四角形状であって、中央に、円形状のオープン部を含む共通電極と；前記四角形状の一番外側の共通電極パターンと重なり、前記薄膜トランジスタに連結されるストレージ電極と；前記画素領域内で、前記データ配線と平行であって、前記ストレージ電極に連結されている連結配線と；前記円形状のオープン部に位置して、前記連結配線から分岐されており、多数の画素電極パターン等を含み、前記共通電極と、一定間隔離隔して、交互に形成された画素電極パターン等は、リング状であって、前記共通電極パターンのうち、一番内側のパターンは、リング状であり、前記画素領域内の前記開口領域は、実質的に、リング状の横電界型の液晶表示装置用アレイ基板を提供する。

【0022】

前記第1の特徴において、前記多数の共通電極パターン等は、前記多数の画素電極パターン等と、交互に位置する。また、前記多数の共通電極パターンのうち、一番内側の共通電極パターンは、前記共通配線と前記連結配線が交差する画素領域の中心に位置する。

前記ストレージ電極は、前記一番外側の共通電極パターンの上部領域及び下部領域と重なる第1ストレージ電極パターン及び第2ストレージ電極パターンを含む。

前記第1ストレージ電極パターンは、薄膜トランジスタに連結されている。

前記第1ストレージ電極パターン及び第2ストレージ電極パターンは、相互に向かい合う面が、各々半円形状である。

前記画素領域は、実質的に、正四角形状である。

前記接する4つの画素領域は、各々赤色、緑色、青色、白色に対応する。

前記ストレージ電極と前記共通電極は、相互に重なり、第1ストレージキャパシターを形成する。前記ストレージ電極は、接する画素領域のゲート配線と重なり、第2ストレージキャパシターを形成する。

前記画素電極パターン及び共通電極パターンは、前記一番外側の共通電極パターンを除いて、実質的に、前記オープン部内に位置する。

前記データ配線の下部には、データ配線のような形状の半導体物質層をさらに含み、前記半導体層は、半導体物質層から分岐される。

【0023】

本発明の第2の特徴では、ゲート電極を含むゲート配線と、多数の共通電極パターン等を含む共通電極と、前記ゲート配線と平行であって、隔離された共通配線を、第1マスク工程を利用して形成する段階において、前記一番外側の共通電極パターンは、実質的に、四角形状であって、中央に、円形状のオープン部を含むように、形成する段階と；前記ゲート配線、共通電極、共通配線の上部に、ゲート絶縁膜を形成する段階と；前記ゲート電極の上部のゲート絶縁膜上に、第2マスク工程を利用して、半導体層を形成する段階と；前記ゲート配線と交差して、開口領域を含む画素領域を定義するデータ配線と；前記データ配線から分岐されるソース電極と、前記ソース電極から隔離されているドレイン電極を、第3マスク工程を利用して形成して、前記ゲート電極、前記半導体層、前記ソース電極及びドレイン電極とで構成される薄膜トランジスタを形成する段階において、前記ソース電極及びドレイン電極は、前記半導体層の両端を覆い、前記ソース電極及びドレイン電極間の半導体層は、露出されるように形成する段階と；前記薄膜トランジスタを覆うように、基板全面に、保護層を形成する段階と；前記ドレイン電極の一部を露出するドレインコンタクトホールを、第4マスク工程を利用して、前記保護層に形成する段階と；前記一番外側の共通電極パターンと重なり、ドレイン電極に連結されるストレージ電極と、前記ストレージ電極に連結される連結配線と、前記連結配線から分岐され、多数の画素電極パターン等を含む画素電極を、保護層の上部に、第5マスク工程を利用して、形成する段階において、前記一番内側の画素電極パターンは、実質的に、円形状であって、前記共通電極パターンのうち、一番内側の共通電極パターンと前記多数の画素電極パターン等は、リング状であり、前記開口領域は、リング状である横電界型の液晶表示装置用アレイ基板の製造方法を提供する。

10

20

【0024】

前記第2の特徴において、前記多数の共通電極パターン等は、前記多数の画素電極パターン等と、交互に配置されている。前記多数の共通電極パターン等のうち、一番内側の共通電極パターンは、前記共通配線と前記連結配線が、交差する画素領域の中心に、位置するように形成する。

前記ストレージ電極は、前記一番外側の共通電極パターンの上部領域及び下部領域と重なる第1ストレージ電極パターン及び第2ストレージ電極パターンを含む。

前記第1ストレージ電極パターンは、薄膜トランジスタに連結されている。

前記第1ストレージ電極パターン及び第2ストレージ電極パターンは、相互に向かい合う面が、各々半円形状である。

30

前記画素領域は、実質的に、正四角形状である。

前記接する4つの画素領域は、各々赤色、緑色、青色、白色に対応する。

前記ストレージ電極と前記共通電極は、相互に重なり、第1ストレージキャパシターを形成する。前記ストレージ電極は、接する画素領域のゲート配線と重なり、第2ストレージキャパシターを形成する。

前記画素電極パターン及び共通電極パターンは、前記一番外側の共通電極パターンを除いて、実質的に、前記円形状のオープン部内に位置する。

【0025】

本発明の第3の特徴は、ゲート電極を含むゲート配線と、多数の共通電極パターン等を含む共通電極と、前記ゲート配線と平行であって、隔離された共通配線を、第1マスク工程を利用して形成する段階において、前記一番外側の共通電極パターンは、実質的に、四角形状であって、中央に、円形状のオープン部を含むように、形成する段階と；前記ゲート配線、共通電極、共通配線の上部に、ゲート絶縁膜を形成する段階と；前記ゲート配線と交差して、開口領域を含む画素領域を定義するデータ配線と、

40

前記データ配線から分岐されるソース電極と、前記ソース電極で、前記ゲート電極を間にして、隔離されているドレイン電極と、前記データ配線の下部に、データ配線のような形で、半導体物質層と、前記半導体物質層で、前記ソース電極及びドレイン電極の下部へと分岐される半導体層を、第2マスク工程を利用して形成して、前記ゲート電極、前記半導体層、前記ソース電極及びドレイン電極とで構成される薄膜トランジスタを形成する段階

50

階において、前記ソース電極及びドレイン電極は、前記半導体層の両端を覆い、前記ソース電極及びドレイン電極間の半導体層は、露出されるように形成する段階と；前記薄膜トランジスタを覆うように、基板全面に、保護層を形成する段階と；前記ドレイン電極の一部を露出するドレインコンタクトホールを、第3マスク工程を利用して、前記保護層に形成する段階と；前記一番外側の共通電極パターンと重なり、ドレイン電極に連結されるストレージ電極と、前記ストレージ電極に連結される連結配線と、前記連結配線から分岐され、多数の画素電極パターン等を含む画素電極を、保護層の上部に、第4マスク工程を利用して、形成する段階において、前記一番内側の画素電極パターンは、実質的に、円形状であって、前記共通電極パターンのうち、一番内側の共通電極パターンと前記多数の画素電極パターン等は、リング状であり、前記開口領域も、リング状である横電界型の液晶表示装置用アレイ基板の製造方法を提供する。

10

【0026】

前記第3の特徴において、前記多数の共通電極パターン等は、前記多数の画素電極パターン等と、交互に配置されている。前記多数の共通電極パターン等のうち、一番内側の共通電極パターンは、前記共通配線と前記連結配線が、交差する画素領域の中心に、位置するように形成する。

前記ストレージ電極は、前記一番外側の共通電極パターンの上部領域及び下部領域と重なる第1ストレージ電極パターン及び第2ストレージ電極パターンを含む。

前記第1ストレージ電極パターンは、薄膜トランジスタに連結されている。

前記第1ストレージ電極パターン及び第2ストレージ電極パターンは、相互に向かい合う面が、各々半円形状である。

20

前記画素領域は、実質的に、正四角形状である。

前記接する4つの画素領域は、各々赤色、緑色、青色、白色に対応する。

前記ストレージ電極と前記共通電極は、相互に重なり、第1ストレージキャパシターを形成する。前記ストレージ電極は、接する画素領域のゲート配線と重なり、第2ストレージキャパシターを形成する。

前記画素電極パターン及び共通電極パターンは、前記一番外側の共通電極パターンを除いて、実質的に、前記円形状のオープン部内に位置する。

【0027】

本発明の第4の特徴は、基板上のゲート配線と；前記ゲート配線と交差して、前記ゲート配線と開口領域を含む画素領域を定義するデータ配線；前記画素領域の一角部分に形成されて、ゲート配線及びデータ配線に連結されており、半導体を含む薄膜トランジスタと；実質的に、長方形形状であって、その中央に、円形状のオープン部を含んでいる第1共通電極パターンと、前記円形状のオープン部の中央に位置して、螺旋形状の第2共通電極パターンを含み、前記画素領域内に位置する共通電極と；前記データ配線と、実質的に、垂直に交差して、接する画素領域の共通電極を連結する共通配線と；前記第1共通電極パターンと重なり、前記薄膜トランジスタに連結されるストレージ電極と；前記円形状のオープン部内に位置して、前記第2共通電極パターンに沿って、実質的に、螺旋形状の画素電極を含み、前記画素電極と前記第2共通電極パターンは、螺旋形状の開口領域を形成する横電界型の液晶表示装置用アレイ基板を提供する。

30

40

【0028】

前記第4の特徴において、前記第2共通電極パターンは、前記第1共通電極パターンから延長される。前記画素電極は、前記ストレージ電極から延長されており、延長された画素電極の始めの地点は、前記延長された第2共通電極パターンの始めの地点と接する。前記螺旋形状の画素電極の第1螺旋は、前記第1共通電極パターンと、前記螺旋形状の第2共通電極パターンの第1螺旋間に位置する。前記共通配線は、前記共通電極と、一体型に形成される。

前記ストレージ電極は、前記第1共通電極パターンの円形状のオープン部に沿って、実質的に、丸い面を有する。

前記接する4つの画素領域は、各々赤色、緑色、青色、白色に対応する。

50

前記ストレージ電極と前記共通電極は、相互に重なり、第1ストレージキャパシターを形成する。

前記ストレージ電極は、接する画素領域のゲート配線と重なり、第2ストレージキャパシターを形成する。

前記データ配線の下部には、データ配線のような形状の半導体物質層をさらに含み、前記半導体層は、半導体物質層から分岐される。

【0029】

本発明の第5の特徴は、ゲート電極を含むゲート配線と、第1共通電極パターン及び第2共通電極パターンを含む共通電極と、前記ゲート配線と平行であって、隔離された共通配線を、第1マスク工程を利用して形成する段階において、前記第1共通電極パターンは、実質的に、四角形状であって、中央に、円形状のオープン部を含むように形成して、前記第2共通電極パターンは、前記円形状のオープン部内で、螺旋形状になるように形成する段階と；前記ゲート配線、共通電極及び共通配線の上部に、ゲート絶縁膜を形成する段階と；前記ゲート電極の上部のゲート絶縁膜上に、第2マスク工程を利用して、半導体層を形成する段階と；前記ゲート配線と交差して、開口領域を含む画素領域を定義するデータ配線、前記データ配線から分岐されるソース電極と、前記ソース電極で、隔離されているドレイン電極を、第3マスク工程を利用して形成して、前記ゲート電極、前記半導体層、前記ソース電極及びドレイン電極とで構成される薄膜トランジスタを形成する段階において、前記ソース電極及びドレイン電極は、前記半導体層の両端を覆い、前記ソース電極及びドレイン電極間の半導体層は、露出されるように形成する段階と；前記薄膜トランジスタを覆うように、基板全面に、保護層を形成する段階と；前記ドレイン電極の一部を露出するドレインコンタクトホールを、第4マスク工程を利用して、前記保護層に形成する段階と；前記第1共通電極パターンと重なり、ドレイン電極に連結されるストレージ電極と、前記円形状のオープン部内に位置して、前記第2共通電極パターンに沿って、実質的に、螺旋形状の画素電極を、第5マスク工程を利用して形成する段階において、前記ストレージ電極は、前記薄膜トランジスタに連結されており、前記画素電極と前記第2共通電極パターンは、螺旋形状の開口領域を形成する横電界型の液晶表示装置用アレイ基板の製造方法を提供する。

【0030】

前記第5の特徴において、前記第2共通電極パターンは、前記第1共通電極パターンから延長される。前記画素電極は、前記ストレージ電極から延長されており、延長された画素電極の始めの地点は、前記延長された第2共通電極パターンの始めの地点と接する。前記螺旋形状の画素電極の第1螺旋は、前記第1共通電極パターンと、前記螺旋形状の第2共通電極パターンの第1螺旋間に位置する。前記共通配線は、前記共通電極と、一体型に形成される。

前記ストレージ電極は、前記第1共通電極パターンの円形状のオープン部に沿って、実質的に、丸い面を有する。

前記接する4つの画素領域は、各々赤色、緑色、青色、白色に対応する。

前記ストレージ電極と前記共通電極は、相互に重なり、第1ストレージキャパシターを形成する。

前記ストレージ電極は、接する画素領域のゲート配線と重なり、第2ストレージキャパシターを形成する。

【0031】

本発明の第6の特徴は、ゲート電極を含むゲート配線と、第1共通電極パターン及び第2共通電極パターンを含む共通電極と、前記ゲート配線と平行であって、隔離された共通配線を、第1マスク工程を利用して形成する段階において、前記第1共通電極パターンは、実質的に、四角形状であって、中央に、円形状のオープン部を含むように形成して、前記第2共通電極パターンは、前記円形状のオープン部内で、螺旋形状になるように形成する段階と；前記ゲート配線、共通電極及び共通配線の上部に、ゲート絶縁膜を形成する段階と；前記ゲート配線と交差して、開口領域を含む画素領域を定義するデータ配線、前

記データ配線から分岐されるソース電極と、前記ソース電極で、離隔されているドレイン電極と、前記データ配線の下部に、データ配線のような形状の半導体物質層と、前記ゲート電極の上部のゲート絶縁膜上に、前記半導体物質層から前記ソース電極及びドレイン電極の下部へと分岐された半導体層を、第2マスク工程を利用して形成して、前記ゲート電極、前記半導体層、前記ソース電極及びドレイン電極とで構成される薄膜トランジスタを形成する段階において、前記ソース電極及びドレイン電極は、前記半導体層の両端を覆い、前記ソース電極及びドレイン電極間の半導体層は、露出されるように形成する段階と；前記薄膜トランジスタを覆うように、基板全面に、保護層を形成する段階と；前記ドレイン電極の一部を露出するドレインコンタクトホールを、第3マスク工程を利用して、前記保護層に形成する段階と；前記第1共通電極パターンと重なるストレージ電極と、前記円形状のオープン部内に位置して、前記第2共通電極パターンに沿って、実質的に、螺旋形状の画素電極を、第4マスク工程を利用して形成する段階において、前記ストレージ電極は、前記薄膜トランジスタに連結されており、前記画素電極と前記第2共通電極パターンは、螺旋形状の開口領域を形成する横電界型の液晶表示装置用アレイ基板の製造方法を提供する。

10

【0032】

前記第6の特徴において、前記第2共通電極パターンは、前記第1共通電極パターンから延長される。前記画素電極は、前記ストレージ電極から延長されており、延長された画素電極の始めの地点は、前記延長された第2共通電極パターンの始めの地点と接する。前記螺旋形状の画素電極の第1螺旋は、前記第1共通電極パターンと、前記螺旋形状の第2共通電極パターンの第1螺旋間に位置する。前記共通配線は、前記共通電極と、一体型に形成される。

20

前記ストレージ電極は、前記第1共通電極パターンの円形状のオープン部に沿って、実質的に、丸い面を有する。

前記接する4つの画素領域は、各々赤色、緑色、青色、白色に対応する。

前記ストレージ電極と前記共通電極は、相互に重なり、第1ストレージキャパシターを形成する。

前記ストレージ電極は、接する画素領域のゲート配線と重なり、第2ストレージキャパシターを形成する。

【0033】

本発明の第7の特徴は、基板上のゲート配線と；前記ゲート配線と交差して、開口領域を含む画素領域を定義するデータ配線；前記データ配線の下部で、前記データ配線のような形状の半導体物質層と；前記画素領域の一角部分に形成されて、ゲート配線及びデータ配線に連結されており、ソース電極とドレイン電極及び前記半導体物質層から分岐された半導体層を含む薄膜トランジスタと；前記ゲート配線と平行であって、離隔するように形成された共通配線と；前記共通配線から分岐され、多数の共通電極パターン等を含み、前記多数の共通電極パターン等のうち、一番外側の共通電極パターンは、実質的に、四角形状であって、中央に、円形状のオープン部を含む共通電極と；接する画素領域のゲート配線と重なるように形成されたストレージ電極と；前記円形状のオープン部に位置して、多数の画素電極パターン等を含む画素電極と；前記画素領域内で、前記データ配線と平行であって、前記ストレージ電極と前記画素電極及び前記ドレイン電極とに連結されている連結配線を含み、前記画素電極は、前記連結配線の一部と重なり、連結配線と直接的に接触して、前記一番内側の画素電極パターンは、実質的に、円形状であり、他の画素電極パターン等は、リング状であって、前記共通電極パターンのうち、一番内側のパターンは、リング状であり、前記画素領域内の前記開口領域は、実質的に、リング状である横電界型の液晶表示装置用アレイ基板を提供する。

30

40

【0034】

前記第7の特徴において、前記多数の共通電極パターン等は、前記多数の画素電極パターン等と、交互に位置する。前記多数の共通電極パターン等のうち、一番内側の共通電極パターンは、前記共通配線と前記連結配線が交差する画素領域の中心に位置する。

50

前記ストレージ電極は、前記連結配線を通じて、前記薄膜トランジスタに連結される。

前記接する4つの画素領域は、各々赤色、緑色、青色、白色に対応する。

前記ストレージ電極は、前記一番外側の共通電極パターンと重なり、第1ストレージキャパシターを形成して、前記接する画素領域の前記ゲート配線と重なり、第2ストレージキャパシターを形成する。

前記画素電極パターン及び共通電極パターンは、前記一番外側の共通電極パターンを除いて、実質的に、前記円形状のオープン部内に位置する。

【0035】

本発明の第8の特徴は、ゲート電極を含むゲート配線と、多数の共通電極パターン等を含む共通電極と、前記ゲート配線と平行であって、離隔される共通配線を、第1マスク工程を利用して形成する段階において、前記一番外側の共通電極パターンは、実質的に、四角形状であって、中央に、円形状のオープン部を含むように形成する段階と；前記ゲート配線、共通電極、共通配線の上に、ゲート絶縁膜を形成する段階と；前記ゲート配線と交差して、開口領域を含む画素領域を定義するデータ配線と、前記データ配線から分岐されるソース電極と、前記ソース電極で、前記ゲート電極を間にして、離隔されているドレイン電極と、前記データ配線と、実質的に、平行であって、前記ドレイン電極に連結された連結配線と、前記連結配線から延長され、接する画素領域のゲート配線の上に形成されたストレージ電極と、前記データ配線の下部で、前記データ配線のような形状の半導体物質層と、前記半導体物質層で、前記ソース電極及びドレイン電極の下部及び前記ゲート電極の上部へと分岐される半導体層を、第2マスク工程を利用して形成して、前記ゲート電極、前記半導体層、前記ソース電極及びドレイン電極とで構成される薄膜トランジスタを形成する段階において、前記ソース電極及びドレイン電極は、前記半導体層の両端を覆い、前記ソース電極及びドレイン電極間の半導体層は、露出されるように形成する段階と；前記薄膜トランジスタの上部に、前記多数の共通電極パターン等の間に、第3マスク工程を利用して、離隔領域を含むフォトレジストパターンを形成する段階と；前記フォトレジストパターンを覆うように、基板全面に、透明導電性物質層を形成する段階と；前記フォトレジストパターンを除去すると同時に、フォトレジストパターン上に形成された透明導電性物質層を除去して、多数の画素電極パターン等を含む画素電極を形成する段階において、前記画素電極は、前記離隔領域に位置して、前記連結配線と接触するように形成する段階を含み、前記一番内側の画素電極パターンは、実質的に、円形状であり、他の画素電極パターンは、リング状であって、前記共通電極パターンのうち、一番内側の共通電極パターンは、リング状であり、前記開口領域も、リング状になるように形成する横電界型の液晶表示装置用アレイ基板の製造方法を提供する。

【0036】

前記第8の特徴において、前記多数の共通電極パターン等は、前記多数の画素電極パターン等と、交互に位置する。前記多数の共通電極パターン等のうち、一番内側の共通電極パターンは、前記共通配線と前記連結配線が交差する画素領域の中心に位置する。

前記ストレージ電極は、前記連結配線を通じて、前記薄膜トランジスタに連結される。

前記接する4つの画素領域は、各々赤色、緑色、青色、白色に対応する。

前記ストレージ電極は、前記一番外側の共通電極パターンと重なり、第1ストレージキャパシターを形成して、前記接する画素領域の前記ゲート配線と重なり、第2ストレージキャパシターを形成する。

前記画素電極パターン及び共通電極パターンは、前記一番外側の共通電極パターンを除いて、実質的に、前記円形状のオープン部内に位置する。

【0037】

本発明の第9の特徴は、基板上のゲート配線と；前記ゲート配線と交差して、開口領域を含む画素領域を定義するデータ配線と；前記データ配線の下部で、前記データ配線のような形状の半導体物質層と；前記画素領域の一角部分に形成されて、ゲート配線及びデータ配線に連結されており、ソース電極とドレイン電極及び前記半導体物質層から分岐された半導体層を含む薄膜トランジスタと；前記ゲート配線と平行であって、離隔するように

形成された共通配線と；接する画素領域のゲート配線と、重なるように形成されたストレージ電極と；前記画素領域内で、前記データ配線と平行であって、前記ストレージ電極及び前記ドレイン電極とに連結されている連結配線と；多数の共通電極パターン等を含む共通電極において、各々の前記共通電極パターンは、前記連結配線と重ならない状態で、前記連結配線により、2つの部分に、分離される共通電極と；円形状のオープン部に位置して、前記共通配線と重ならない、多数の画素電極パターン等で構成された画素電極を含み、前記多数の共通電極パターン等のうち、一番外側の共通電極パターンは、画素領域内で、実質的に、四角形状であって、その中央に、円形状のオープン部を含み、他の共通電極パターン等は、半円状であり、前記多数の画素電極パターン等のうちで、一番内側の画素電極パターンは、画素領域の中央で、前記連結配線の領域内に位置して、他の画素電極パターン等は、半円状であって、前記多数の共通電極パターン等と多数の画素電極パターン等は、リング状の開口領域を形成する横電界型の液晶表示装置用アレイ基板を提供する。

10

【0038】

前記第9の特徴において、前記画素電極は、前記連結配線の一部と重なり、前記連結配線と直接接触する。前記共通電極は、前記共通配線の一部と重なり、前記共通配線と直接接触する。

【0039】

本発明の第10の特徴は、ゲート電極を含むゲート配線と、前記ゲート配線と平行であって、隔離される共通配線を、第1マスク工程を利用して形成する段階と；前記ゲート配線と共通配線の上部に、ゲート絶縁膜を形成する段階と；前記ゲート配線と交差して、開口領域を含む画素領域を定義するデータ配線と、前記データ配線から分岐されるソース電極と、前記ソース電極で、隔離されているドレイン電極と、前記データ配線と、実質的に、平行であって、前記ドレイン電極に連結された連結配線と、前記連結配線から延長され接する画素領域のゲート配線の上部に形成されたストレージ電極と、前記データ配線の下部で、前記データ配線のような形状の半導体物質層と、前記半導体物質層で、前記ソース電極及びドレイン電極の下部及び前記ゲート電極の上部へと分岐された半導体層を、第2マスク工程を利用して形成して、前記ゲート電極、前記半導体層、前記ソース電極及びドレイン電極とで構成される薄膜トランジスタを形成する段階において、前記ソース電極及びドレイン電極は、前記半導体層の両端を覆い、前記ソース電極及びドレイン電極間の半導体層は、露出されるように形成する段階と；前記薄膜トランジスタの上部に、第3マスク工程を利用して、フォトレジストパターンを形成する段階において、前記フォトレジストパターンは、前記連結配線と重ならず、前記連結配線に対して、対称的な2つの第1隔離領域と、前記共通配線と重ならず、前記共通配線に対して、対称的な2つの第2隔離領域を含むように形成する段階と；前記フォトレジストパターンを、マスクを利用して、前記2つの第1隔離領域により露出されたゲート絶縁膜をエッチングして、下部の共通配線と連結配線を露出する段階と；前記フォトレジストパターンを含む基板全面に、透明導電性物質層を形成する段階と；前記フォトレジストパターンを除去すると同時に、フォトレジストパターン上に形成された透明導電性物質層を除去して、画素電極と共通電極を形成する段階において、前記共通電極及び画素電極は、前記第1隔離領域及び第2隔離領域と対応する位置に形成して、前記共通電極は、多数の共通電極パターン等を含み、前記画素電極は、多数の画素電極パターン等を含むように形成する段階を含み、前記多数の共通電極パターン等のうち、一番外側の共通電極パターンは、画素領域内で、実質的に、四角形状であって、内部に、円形状のオープン部を含むように形成して、他の共通電極等は、半円形状になるように形成して、前記画素電極パターン等のうち、一番内側の画素電極パターンは、画素領域の中央で、前記連結配線の領域内に位置するように形成して、他の画素電極パターン等は、半円状になるように形成して、前記多数の共通電極パターン等と多数の画素電極パターン等は、リング状の開口領域を形成する横電界型の液晶表示装置用アレイ基板の製造方法を提供する。

20

30

40

【0040】

前記第10の特徴において、前記画素電極は、前記連結配線の一部と重なり、前記連結

50

配線と直接接触する。前記共通電極は、前記共通配線の一部と重なり、前記共通配線と直接接触する。

【0041】

本発明の第11の特徴は、基板上のゲート配線と；前記ゲート配線と交差して、開口領域を含む画素領域を定義するデータ配線と；前記画素領域の一角部分に形成されていて、ゲート配線及びデータ配線に連結されており、ゲート電極、ソース電極、ドレイン電極及び半導体層を含む薄膜トランジスタと；前記ゲート配線と平行であって、離隔するように形成された共通配線と；前記共通配線から延長され、多数の共通電極パターン等を含み、前記多数の共通電極パターン等のうち、一番外側の共通電極パターンは、画素領域内で、長方形状であって、その中央に、四角形状のオープン部を含む共通電極と；前記長方形状の共通電極パターンと重なり、薄膜トランジスタに連結されたストレージ電極と；前記画素領域内で、前記データ配線と平行であって、前記ストレージ電極に連結された連結配線と；前記四角形状のオープン部に位置して、前記連結配線から分岐されており、多数の画素電極パターン等を含む画素電極を含み、前記多数の画素電極パターン等のうち、一番内側の画素電極パターンは、実質的に、円形状であって、他の画素電極パターン等は、リング状であり、前記多数の共通電極パターン等のうち、一番内側の共通電極パターンは、リング状であって、リング状の開口領域を形成する横電界型の液晶表示装置用アレイ基板を提供する。

10

【0042】

前記第11の特徴において、前記多数の共通電極パターン等は、前記多数の画素電極パターン等と、交互に位置する。前記多数の共通電極パターン等のうち、一番内側の共通電極パターンは、前記共通配線と前記連結配線が交差する画素領域の中心に位置する。前記ストレージ電極は、前記一番外側の共通電極パターンの下部領域及び上部領域と、各々重なる第1ストレージキャパシターパターン及び第2ストレージキャパシターパターンを含む。前記第1キャパシター電極パターンは、薄膜トランジスタに連結されている。前記接する4つの画素領域は、各々赤色、緑色、青色、白色に対応する。前記ストレージ電極と前記共通電極は、相互に重なり、第1ストレージキャパシターを形成する。前記ストレージ電極は、接する画素領域のゲート配線と重なり、第2ストレージキャパシターを形成する。前記画素電極パターン及び共通電極パターンは、前記一番外側の共通電極パターンを除いて、実質的に、前記四角形状のオープン部内に位置する。

20

30

【0043】

本発明の第12の特徴は、基板上のゲート配線と；前記ゲート配線と交差して、開口領域を含む画素領域を定義するデータ配線と；前記データ配線の下部に、前記データ配線のような形で形成された半導体物質層と；前記画素領域の一角部分に形成されて、ゲート配線及びデータ配線に連結されており、ゲート電極、ソース電極、ドレイン電極及び前記半導体物質層から分岐された半導体層を含む薄膜トランジスタと；前記ゲート配線と平行であって、離隔するように形成された共通配線と；接する画素領域のゲート配線と、重なるように形成されたストレージ電極と；前記画素領域内で、前記データ配線と平行であって、前記ドレイン電極から延長されており、前記ストレージ電極及び前記ドレイン電極に連結されている連結配線と；前記ストレージ電極及び連結配線の上部に形成されて、下部の共通配線及び連結配線を、各々露出させる第1コンタクトホール及び第2コンタクトホールが形成されている保護層と；多数の共通電極パターン等を含み、前記保護層上に形成された共通電極において、前記多数の共通電極パターン等のうち、一番外側の共通電極パターンは、接する画素の一番外側の共通電極パターン等を連結して、画素領域内で、その中央に、円形状のオープン部を含み、他の共通電極パターン等は、リング状である共通電極と；多数の画素電極パターン等を含み、前記円形状のオープン部内に位置する画素電極において、多数の画素電極パターン等のうち、一番内側の画素電極パターンは、円形状であって、前記共通配線と連結電極が交差する交差部に位置して、他の画素電極パターンは、リング状の画素電極を含む横電界型の液晶表示装置用アレイ基板を提供する。

40

【0044】

50

前記第12の特徴において、前記共通電極は、前記共通配線及び連結配線と重なり、前記第1コンタクトホールを通じて、前記共通配線と接触する。

前記画素電極は、前記共通配線及び連結配線と重なり、前記第2コンタクトホールを通じて、前記連結配線と接触する。

前記多数の共通電極パターン等は、前記多数の画素電極パターン等と、交互に位置する。また、前記多数の共通電極パターン等のうち、一番内側の共通電極パターンは、画素領域の中央に位置する。

前記接する4つの画素領域は、各々赤色、緑色、青色、白色に対応する。

前記共通電極及び画素電極は、インジウムスズオキサイド（ITO）で構成される

10

前記共通電極は、前記データ配線の上部に形成する。

【0045】

本発明の第13の特徴は、ゲート電極を含むゲート配線と、前記ゲート配線と平行であって、離隔される共通配線を、第1マスク工程を利用して形成する段階と；前記ゲート配線と共通配線の上部に、ゲート絶縁膜を形成する段階と；前記ゲート配線と交差して、開口領域を含む画素領域を定義するデータ配線と、前記データ配線から分岐されるソース電極と、前記ソース電極で、離隔されているドレイン電極と、前記データ配線の下部で、前記データ配線のような形状の半導体物質層と、前記画素領域の一角部分に、ゲート配線及びデータ配線に連結された薄膜トランジスタと、接する画素のゲート配線と重なるストレージ電極と、前記データ配線と、実質的に、平行であって、前記ドレイン電極に連結された連結配線を、第2マスク工程を利用して形成する段階において、前記連結配線は、ストレージ電極及び薄膜トランジスタのドレイン電極に連結されるように形成する段階と；前記薄膜トランジスタの上部に、保護層を形成する段階と；前記保護層に、第3マスク工程を利用して、第1コンタクトホール及び第2コンタクトホールを形成する段階と；多数の共通電極パターン等を含む共通電極を、前記保護層の上部に形成する段階において、前記多数の共通電極パターン等のうち、一番外側の共通電極パターンは、接する画素の一番外側の共通電極パターンに連結されて、画素領域内で、その中央に、円形状のオープン部を含んでおり、一番内側の共通電極パターンは、リング状に形成する段階と；多数の画素電極パターン等を含む画素電極を、前記円形状のオープン部内に形成する段階において、多数の画素電極パターン等のうち、一番内側の画素電極パターンは、前記共通配線が、前記連結配線と交差する部分で、円形状に形成して、他の画素電極パターンは、リング状に形成する段階を含み、前記共通電極及び画素電極は、第4マスク工程を利用して形成する段階を含む横電界型の液晶表示装置用アレイ基板の製造方法を提供する。

20

30

【0046】

前記第13の特徴において、前記共通電極は、インジウムスズオキサイド（ITO）で形成する。また、前記共通電極は、前記データ配線の上部に形成する。

【0047】

本発明の第14の特徴は、基板上のゲート配線と；前記ゲート配線と交差して、開口領域を含む画素領域を定義するデータ配線と；前記ゲート配線の一端に連結されたゲートパッドと；前記データ配線の一端に連結されたデータパッドと；前記ゲートパッドに連結されたゲートパッド電極と；前記データパッドに連結されたデータパッド電極と；前記データ配線の下部で、前記データ配線のような形で形成された半導体物質層と；前記画素領域の一角に、前記ゲート配線及びデータ配線に連結されて、ソース電極、ドレイン電極及び半導体物質層から分岐された半導体層を含む薄膜トランジスタと；前記ゲート配線と離隔されて、平行である共通配線と；前記共通配線から分岐されて、多数の共通電極パターン等を含む共通電極において、前記多数の共通電極パターン等のうち、一番外側の共通電極パターンは、画素領域内で、四角形状であって、その中央に、円形状のオープン部を含む共通電極と；接する画素領域のゲート配線と重なるストレージ電極と；前記円形状のオープン部内に位置して、多数の画素電極パターン等を含む画素電極と；前記画素領域内で、前記データ配線と平行であって、前記画素電極及び薄膜トランジスタのドレイン電極に連

40

50

結された連結配線を含み、前記多数の画素電極パターン等のうち、一番内側の画素電極パターンは、前記連結配線の領域内に位置して、前記画素電極は、前記連結配線の一部と重なり、連結配線とは、直接接触して、前記一番内側の画素電極パターンを除いた他の画素電極パターン等は、半円状であって、前記半導体物質層は、前記ソース電極及びドレイン電極、前記連結配線、前記ストレージ電極の下部へと延長されており、前記多数の共通電極パターン等のうち、一番内側の共通電極パターンは、リング状であって、開口領域をリング状に構成する横電界型の液晶表示装置用アレイ基板を提供する。

【0048】

前記第14の特徴において、前記多数の共通電極パターン等は、前記多数の画素電極パターン等と、交互に位置する。

前記多数の画素電極パターン等のうち、一番内側の画素電極パターンは、前記共通配線と前記連結配線が交差する画素領域の中央に位置する。

前記ストレージ電極は、前記連結配線を通じて、前記薄膜トランジスタに連結されている。

前記接する4つの画素領域は、各々赤色、緑色、青色、白色に対応する。

前記共通電極パターン及び前記画素電極パターンは、一番外側の共通電極パターンを除いて、全て、前記円形状のオープン部の内部に位置する。

【0049】

本発明の第15の特徴は、ゲート電極を含むゲート配線と、多数の共通電極パターン等を含む共通電極と、前記ゲート配線の一端に連結されたゲートパッドと、前記ゲート配線と隔離されて、平行である共通配線を、基板上に、第1マスク工程を利用して形成する段階において、前記多数の共通電極パターン等のうち、一番外側の共通電極パターンは、実質的に、四角形状であって、その中央に、円形状のオープン部を有するように形成する段階と；前記ゲート配線、共通電極、ゲートパッド、共通配線の上部に、ゲート絶縁膜を形成する段階と；前記ゲート配線と交差して、開口領域を含む画素領域を定義するデータ配線と、前記データ配線から分岐されたソース電極と、前記ソース電極と前記ゲート電極を間にして、隔離されたドレイン電極と、前記データ配線と、実質的に、平行であって、前記ドレイン電極から延長された連結配線と、接する画素領域のゲート配線と重なるストレージ電極と、前記データ配線の一端に連結されたデータパッドと、前記データ配線の下部で、前記データ配線のような形状の半導体物質層と、前記半導体物質層で、前記ゲート電極の上部と、前記ソース電極及びドレイン電極と、連結配線の下部へと分岐された半導体層を、第2マスク工程を利用して形成する段階において、前記ソース電極及びドレイン電極は、前記ゲート電極の両端と重なり、前記ソース電極及びドレイン電極間の半導体層は露出されて、前記ゲート電極、ソース電極、ドレイン電極及び半導体層は、薄膜トランジスタを構成する段階と；前記データ配線、ソース電極及びドレイン電極、データパッド、連結配線及びストレージ電極の上部に、保護層を形成する段階と；前記薄膜トランジスタを覆うように、前記保護層の上部に、フォトレジストパターンを形成する段階において、前記フォトレジストパターンは、前記多数の共通電極パターン等の間に、隔離領域を含み、前記ゲートパッド及びデータパッドを露出するコンタクトオープン部を含むように形成する段階と；前記フォトレジストパターンを覆うように、基板全面に、透明導電性物質層を形成する段階と；前記フォトレジストパターンを除去すると同時に、フォトレジストパターン上に形成された透明導電性物質層を除去して、画素電極、ゲートパッド電極、データパッド電極を形成する段階において、前記画素電極は、多数の画素電極パターン等を含み、前記隔離領域に位置して、前記連結配線と直接接触するように形成する段階を含み、前記多数の画素電極パターン等のうち、一番内側の画素電極パターンは、棒状であって、他の画素電極パターンは、半円状であり、前記多数の共通電極パターン等のうち、一番内側の共通電極パターンは、リング状を構成して、リング状の開口領域を形成する横電界型の液晶表示装置用アレイ基板の製造方法を提供する。

【0050】

前記第15の特徴において、前記多数の共通電極パターン等は、前記多数の画素電極パ

ターン等と、交互に位置する。

前記多数の画素電極パターン等のうち、一番内側の画素電極パターンは、前記共通配線と前記連結配線が交差する画素領域の中央に位置する。

前記ストレージ電極は、前記連結配線を通じて、前記薄膜トランジスタに連結されるように形成する。また、前記ストレージ電極は、前記共通電極パターンのうち、一番外側の共通電極パターンと重なるように形成して、前記一番外側の共通電極パターンとストレージキャパシタを形成する。

前記画素電極パターン及び共通電極パターンは、一番外側の共通電極パターンを除いて、全て、前記円形状のオープン部内に位置するように形成する。

【0051】

以下、本発明による望ましい実施例を、図面を参照して詳しく説明する。

【発明の効果】

【0052】

本発明による横電界型の液晶表示装置ににおいて、開口領域が、円形構造であるパターン構造で共通電極及び画素電極を形成することにより、どちらの方向からも、液晶分子の方向子（方向性）が同じなので、特定の角度での色の反転なしで対照比を向上させて、視野角の特性を高めることができる。そして、ブラックマトリックスとの重畳領域が減少され、合着ミスアライン時に、製品別に発生する輝度の差が最小化できる長所がある。

【実施例1】

【0053】

本実施例は、リング状の電極構造の横電界型の液晶表示装置用アレイ基板構造及びその製造工程に関する実施例である。特に、感光性物質を利用したパターンニング工程で定義されるフォトリソエッチング工程であるマスク工程の数を基準に、5マスク工程によるアレイ基板及びその製造工程に関して説明する。

【0054】

図5は、本発明の実施例1によるリング状の電極構造の横電界型の液晶表示装置用アレイ基板の平面図である。

図示したように、基板100上に、第1方向へゲート配線112が形成されており、ゲート配線112が交差される第2方向へとデータ配線128が形成され、ゲート配線112とデータ配線128の交差点には、薄膜トランジスタTが形成されている。

【0055】

前記ゲート配線112及びデータ配線128の交差領域は、画素領域Pで定義されて、画素領域Pには、画素電極138及び共通電極120が形成されている。特に、本実施例では、画素電極138及び共通電極120が円形パターンで形成されていて、どちらの方向からも、液晶分子の方向子が同じで、特定の角度で色の反転が発生することを防げる構造であることを特徴とする。

【0056】

より詳しく説明すると、前記第1方向へのゲート配線112と、一定間隔離隔するように共通配線114が形成されており、共通配線114から分離され、前述した共通電極120が構成される。本実施例による共通電極120は、画素領域Pの枠部を取り囲む領域に形成されて、円形状のオープン部118のある第1共通電極パターン120aと、前記第1共通電極パターン120aのオープン部118内で、前記共通配線114を中心軸として、リング状の電極構造の第2共通電極パターン120bとで構成されている。

【0057】

前記第1共通電極パターン120aと第1方向と重なった位置には、第1ストレージ電極パターン140a、第2ストレージ電極パターン140bが形成されており、前記第1ストレージ電極パターン140a、第2ストレージ電極パターン140bには、共通配線114と交差される方向へと連結配線141が形成されている。前記連結配線141では、前記第1共通電極パターン120a、第2共通電極パターン120bの間区間で、リング状の電極構造の第1画素電極パターン138aと、連結配線141と共通配線114の

10

20

30

40

50

交差点で、円形パターンで構成された第2画素電極パターン138bとで構成された画素電極138が分岐されている。

【0058】

前記画素電極138は、前述した連結配線141及び共通配線114により、4つのドメインで分離されたマルチドメイン構造を構成する。そして、前記第1ストレージ電極パターン140a、第2ストレージ電極パターン140bと第1共通電極パターン120a間の重畳領域は、ストレージキャパシタ C_{st} を構成することを特徴とする。

【0059】

一方、前記第1ストレージ電極パターン140a、第2ストレージ電極パターン140bは、第1共通電極パターン120aと第1画素電極パターン138a間に発生される横電界型の弱화를防ぐため、第1共通電極パターン120aの外廓を露出させる範囲で、第1共通電極パターン120aより小さい面積で形成されることが重要である。

【0060】

すなわち、本実施例によると、共通電極と画素電極が、リング状の構造の開口領域が構成できる構造を有することによって、液晶分子をどちらの位置でも、電極に垂直な等電位線に沿って配列させるので、優れた視野角の特性を得ることができる。また、前記共通電極と画素電極間に形成された横電界は、液晶分子を図面に示されるように配列させて、各画素領域の対角線方向のカラーシフトを補償して、一般的な横電界型方式の液晶表示素子で現れる $\pm 45^\circ$ 方向での色の反転の問題が解決できる。

【0061】

図6Aないし図6Eは、本発明の実施例1による5マスクの横電界型の液晶表示装置用アレイ基板の製造工程を段階別に示した平面図であって、前記実施例1によるリング状の電極構造の横電界型の液晶表示装置用アレイ基板の製造工程に関する。

【0062】

図6Aは、基板110上に、第1金属物質を利用した第1マスク工程により第1方向へと、ゲート配線112と共通配線114を、相互に離隔されるように形成する段階である。

【0063】

前記第1マスク工程は、感光性物質であるフォトリソグを用いて露光、現像、エッチングして形成されたフォトリソグパターンを利用してパターンニング工程を行う工程である。

【0064】

前記ゲート配線112を形成する段階では、ゲート配線112から分岐されるゲート電極116を形成する段階を含む。

【0065】

前記共通配線114を形成する段階では、前記共通配線114から分岐されて、画面を具現する最小単位で定義される画素領域P単位で、画素領域Pの枠部を取り囲む位置に形成され、中央部に円形状のオープン部118のある第1共通電極パターン120aと、前記オープン部118内に、リング状パターンで形成された第2共通電極パターン120bとで構成される共通電極120を形成する段階を含む。

【0066】

図6Bは、前記ゲート配線112及び共通配線114を覆う領域に、ゲート絶縁膜(図示せず)を形成する段階と、第2マスク工程によりゲート電極116を覆う領域に、半導体層126を形成する段階である。

【0067】

図面に詳しくは提示していないが、前記半導体層126は、非晶質シリコン物質で構成されたアクティブ層と、不純物非晶質シリコン物質で構成されたオーミックコンタクト層が、順に積層された構造で構成される。

【0068】

図6Cは、半導体層126を覆う領域に、第2金属物質を利用した第3マスク工程によ

10

20

30

40

50

り第2方向へと、ゲート配線112と交差されるようにデータ配線128を形成する段階である。

【0069】

この段階では、前記データ配線128から分岐されたソース電極130と、ソース電極130と離隔されるように位置するドレイン電極132を形成する段階を含む。また、この段階では、ソース電極130とドレイン電極132は、半導体層126と、一部重なるように位置して、この段階は、前記ソース電極130及びドレイン電極132の間区間の半導体層126の真性半導体物質を露出させ、チャンネルChを形成する段階を含む。

【0070】

前記ゲート電極116、半導体層126、ソース電極130、ドレイン電極132は、
10 薄膜トランジスタTを構成する。

【0071】

図6Dは、前記薄膜トランジスタTを覆う領域に、絶縁物質を利用して、第4マスク工程により、ドレイン電極132を、一部露出させるドレインコンタクトホール134のある保護層(図示せず)を形成する段階である。

【0072】

図6Eは、前記保護層の上部に、透明導電性物質を利用した第5マスク工程により、前記薄膜トランジスタTに連結されるストレージ電極140と、円形パターンで構成された画素電極138を形成する段階である。

【0073】

より詳しく説明すると、前記第1共通電極パターン120aと第1方向へと、各々重なるように位置する第1ストレージ電極パターン140a、第2ストレージ電極パターン140bを形成して、画素領域P単位で、共通配線114の中心部と交差されるように連結配線141を形成する。

【0074】

また、前記第1共通電極パターン120a、第2共通電極パターン120bの間区間に、リング状パターンで構成された第1画素電極パターン138aを形成して、前記共通配線114と連結配線141の交差点に、円形パターンの第2画素電極パターン138bを形成する。

【0075】

前記画素領域Pは、連結配線141及び共通配線114が交差される領域別に、相互に異なる液晶分子の配列の特性があるドメインが構成される。一例として、本実施例では、4ドメイン構造である。また、本実施例では、画素電極138と共通電極120が、円形パターン構造である構造的特徴により、液晶の方向が、どちらの方向からでも、同じであるために、特定の角度での、色の反転により対照比が低下されることを防ぐ。

【0076】

前記透明導電性物質は、インジウムスズオキシド(ITO)、インジウムスズ-ジンク-オキシド(ITZO)、インジウム-ジンク-オキシド(IZO)のうちの一つから選択される。

【実施例2】

【0077】

本実施例は、5マスク工程による螺旋形の電極構造の横電界型の液晶表示装置用アレイ基板及びその製造工程に関する実施例である。

【0078】

本実施例の構造によると、前記実施例1によるリング状の電極構造とは異なり、共通電極及び画素電極が、別途の連結パターンなしで、直接的に、共通配線及びストレージ電極に連結された構造でありながら、前記実施例1のように、どちらの方向からでも、液晶分子の方向子を同一にできる。

【0079】

図7は、本発明の実施例2による螺旋形の電極構造の横電界型の液晶表示装置用アレイ

10

20

30

40

50

基板の概略的な平面図であって、前記図 5 と重複する部分の説明は、簡略又は省略する。

図示したように、第 1 方向へと共通配線 214 が形成されており、共通配線に連結され画素領域 P には、画素領域 P の枠部を取り囲む領域に位置して、内部に、円形状のオープン部 218 のある第 1 共通電極パターン 220 a と、前記第 1 共通電極パターン 220 a のオープン部 218 内に、螺旋形に、形成された第 2 共通電極パターン 220 b が形成されている。前記第 1 共通電極パターン 220 a、第 2 共通電極パターン 220 b は、共通電極 220 を構成して、共通電極 220 と共通配線 214 は、一体型パターンであることを特徴とする。

【0080】

前記画素領域 P には、薄膜トランジスタ T のドレイン電極 232 に連結されて、第 1 共通電極パターン 220 a と絶縁された状態で、重なるように形成されたストレージ電極 240 と、ストレージ電極 240 に連結されて、第 2 共通電極パターン 220 b と重なる螺旋形構造の画素電極 238 が形成されている。前記ストレージ電極 240 と画素電極 238 は、一体型パターンを構成して、前記第 2 共通電極パターン 220 b と画素電極 238 は、相互に一定間隔を維持して、螺旋形構造を構成する。

【0081】

この時、前記ストレージ電極 240 は、第 1 共通電極パターン 220 a と対応した領域に形成されることに応じて、第 1 共通電極パターン 220 a と画素電極 238 間の横電界の形成のために、第 1 共通電極パターン 220 a より内部に位置することが重要である。そして、前記第 1 共通電極パターン 220 a とストレージ電極 240 間の重畳領域は、絶縁体が介在された状態でストレージキャパシタ Cst を構成する。

【0082】

本実施例による電極の構造によると、両電極間に位置する開口領域を、螺旋形構造で形成することができて、液晶の方向子がどちらの方向からも同じ効果を得る。

【0083】

図 8 A ないし図 8 E は、本発明の実施例 2 による 5 マスクの螺旋形の電極構造の横電界型の液晶表示装置用アレイ基板の製造工程を段階別に示した平面図であって、前記図 6 A ないし図 6 E と重複する部分の説明は、簡略したり省略する。

【0084】

図 8 A は、基板 210 上に、第 1 マスク工程により、ゲート配線 212、共通配線 214、共通電極 220 を形成する段階である。

【0085】

前記ゲート配線 212 と共通配線 214 は、同じ方向へと、相互に離隔して形成され、前記共通電極 220 は、共通配線 214 と、一体型パターンを構成して、共通電極 220 は、画素領域 P の周辺部を取り囲む領域に位置する。円形状のオープン部 218 のある第 1 共通電極パターン 220 a と、オープン部 218 内に位置して、螺旋形構造で構成された第 2 共通電極パターン 220 b とで構成される。

【0086】

図 8 B は、ゲート絶縁膜 (図示せず) と第 2 マスク工程により、半導体層 226 を形成する段階であって、図 8 C は、第 3 マスク工程によりゲート配線 212 と交差されるデータ配線 228 を形成する段階である。

【0087】

この段階では、ソース電極 230 及びドレイン電極 232、ソース電極 230 及びドレイン電極 232 間の離隔区間の半導体層 226 の真性半導体物質層 (図示せず) を露出させて、チャンネル Ch を形成する段階を含む。

【0088】

前記ゲート電極 216、半導体層 226、ソース電極 230、ドレイン電極 232 は、薄膜トランジスタ T を構成する。

【0089】

図 8 D は、保護層 (図示せず) を形成して、第 4 マスク工程によりドレイン電極 232 を

一部露出させるドレインコンタクトホール 234 のある保護層(図示せず)を形成する段階である。

【0090】

図 8 E は、第 5 マスク工程により、前記ドレインコンタクトホール 234 を通じて、ドレイン電極 232 に連結されるストレージ電極 240 と、ストレージ電極 240 から分岐されて、前述した第 2 共通電極パターン 220 b を、一定間隔離隔されるように重なる螺旋形構造の画素電極 238 を形成する段階である。

【実施例 3】

【0091】

本実施例は、前記実施例 1 より一つのマスク工程を減じた 4 マスク工程によるリング状の電極構造の横電界型の液晶表示装置用アレイ基板構造及びその製造工程に関する実施例である。

【0092】

本実施例は、回折露光法を利用して、半導体層、データ配線、チャンネルを、一つのマスク工程で形成することによって、マスク工程を減少させることを特徴とする。

【0093】

図 9 は、本発明の実施例 3 によるリング状の電極構造の横電界型の液晶表示装置用アレイ基板の平面図であって、前記実施例 1 と区別される構造的特性を中心に簡略して説明する。

【0094】

図示したように、ゲート配線 312 とデータ配線 328 が交差するように形成されており、ゲート配線 312 及びデータ配線 328 の交差点に薄膜トランジスタ T が形成されていて、薄膜トランジスタ T に連結され画素電極 338 が形成されており、ゲート配線 312 と同じ方向へと、隔離するように形成された共通配線 314 が位置して、共通電極 320 は、画素電極 338 と交互に位置するように共通配線 314 から分岐されている。前記画素電極 338 及び共通電極 320 は、リング状の電極構造を構成している。

【0095】

前記ゲート配線 312 では、ゲート電極 316 が分岐されており、データ配線 328 では、ソース電極 330 が分岐されていて、ソース電極 330 と隔離されるようにドレイン電極 332 が位置する。前記データ配線 328、ソース電極 330、ドレイン電極 332 と対応するパターン構造で半導体物質層 325 が形成されており、前記ソース電極 330 領域及びドレイン電極 332 領域と対応した位置の半導体物質層 325 は、薄膜トランジスタ T に含まれる半導体層 326 を構成する。

【0096】

以下、本実施例による 4 マスクの横電界型の液晶表示装置の製造工程に関して、図を参照して、より詳しく説明する。

【0097】

図 10 A ないし図 10 D は、本発明の実施例 3 による 4 マスクの一般的な円形の電極構造の横電界型の液晶表示装置用アレイ基板の製造工程を段階別に示した平面図であって、前記実施例 1 による 5 マスク工程と区別される工程的特徴を中心に説明する。

【0098】

図 10 A は、基板 310 上に、第 1 マスク工程により、ゲート配線 312、共通配線 314 を形成する段階である。

【0099】

この段階では、前記ゲート配線 312 に連結されるゲート電極 316、共通配線 314 に連結される共通電極 320 を形成する段階を含み、前記共通電極 320 は、第 1 共通電極パターン 320 a、第 2 共通電極パターン 320 b とで構成される。

【0100】

図 10 B は、前記ゲート配線 312、ゲート電極 316、共通配線 314、共通電極 320 覆う領域に、ゲート絶縁膜、純粋非晶質シリコン物質、不純物非晶質シリコン物質、

10

20

30

40

50

金属物質を、順に形成した後、第2マスク工程により、純粋非晶質シリコン物質、不純物非晶質シリコン物質、金属物質を、同時にパターンニングして、同一なパターン構造の半導体物質層325、データ配線328を形成する段階である。

【0101】

前記データ配線328には、前述したゲート電極316の一側部と重なるソース電極330が分岐されたおり、ソース電極330と一定間隔離隔されるようにドレイン電極332を形成する段階を含む。前記半導体物質層325は、ソース電極330及びドレイン電極332、ソース電極330及びドレイン電極332間の隔離区間を含んで、対応したパターン構造で形成される。

【0102】

本段階では、選択領域別に、マスクの厚さを調節する回折露光法が利用されることを特徴とする。

【0103】

図面には詳しく提案していないが、前記回折露光法に関して、より詳しく説明すると、シリコン物質層(純粋非晶質シリコン物質層、不純物非晶質シリコン物質層)、金属層を、順に蒸着した後、前記金属層の上部に、第1厚さ値のフォトレジストを塗布し、前記フォトレジストの上部に、透過部、半透過部、遮断部のあるマスクを配置した後、露光工程を行う。露光された部分が、パターンとして残るネガティブタイプで、パターンニング工程を行うと仮定すると、チャンネル形成部と対応した領域は、露光用マスクの半透過部と対応し、ソース電極及びドレイン電極の形成部は、透過部と対応して、それ以外の領域は、遮断部と対応するように配置されることによって、現像工程を通じてソース電極及びドレイン電極の形成部は、第1厚さ値、チャンネル形成部は、第1厚さより薄い厚さの第2厚さになるようにパターンニングされたPRパターンで形成される。

【0104】

前記PRパターンを第2厚さ程度にアッシング処理して、前記チャンネル形成部のシリコン物質層を露出させるPRパターンを形成する段階が行われ、前記アッシング処理されたPRパターンを利用して露出されたチャンネル形成部の不純物非晶質シリコン層を除去し、その下部層を構成する純粋非晶質シリコン層を露出して、露出された純粋非晶質シリコン層領域をチャンネルとして構成する段階を含む。

【0105】

前記ゲート電極316、ソース電極330、ドレイン電極332と重なった領域の半導体物質層325領域は、半導体層326を構成して、前記ゲート電極316、半導体層326、ソース電極330、ドレイン電極332は、薄膜トランジスタTを構成する。

【0106】

図10Cは、前記薄膜トランジスタTを覆う領域に絶縁物質を形成した後、第3マスク工程により前記ドレイン電極332を一部露出させるドレインコンタクトホール334のある保護層(図示せず)を形成する段階である。

【0107】

図10Dは、前記保護層(図示せず)の上部に、ドレインコンタクトホール334を通じて、ドレイン電極332に連結される画素電極338を形成する段階である。

【0108】

より詳しく説明すると、本段階では、実質的に、ドレイン電極332に連結されて、隣接した第1共通電極パターン320a領域と重なるように位置する第1ストレージ電極パターン340aと、前記第1ストレージ電極パターン340aと向かい合う位置で、第1共通電極パターン320a領域と重なるように位置する第2ストレージ電極パターン340bと、前記第1ストレージ電極パターン340a、第2ストレージ電極パターン340bを連結して、前記共通配線314と交差されるように位置する連結配線341を形成する。また、前記連結配線341から分岐されたパターン構造であり、第1共通電極パターン320a、第2共通電極パターン320bの間の区間に位置する第1画素電極パターン338aと、第2共通電極パターン320bの内部に位置する第2画素電極パターン33

10

20

30

40

50

8bを形成する。

【0109】

前記第1画素電極パターン338a、第2画素電極パターン338bは、画素電極338を構成して、第1ストレージ電極パターン340a、第2ストレージ電極パターン340b、連結配線341、第1画素電極パターン338a、第2画素電極パターン338bは、一体型パターンに当たる。

【0110】

本実施例による液晶表示装置での横電界駆動は、第1マスク工程で形成された共通電極と、第4マスク工程で形成された画素電極間の電圧の差により行われる。

【実施例4】

【0111】

本実施例は、前記実施例2より1つのマスク工程を減じた4マスク工程による螺旋形の電極構造の横電界型の液晶表示装置用アレイ基板の構造及びその製造工程に関する実施例である。

【0112】

本実施例は、前記実施例3におけるように、回折露光法を利用して、半導体層、データ配線、チャンネルを、1つのマスク工程で形成することによって、2つのマスク工程を、1つのマスク工程に短縮することを特徴とする。

【0113】

図11は、本発明の実施例4による螺旋形の電極構造の横電界型の液晶表示装置用アレイ基板の平面図であって、前記実施例2と区別される構造的特性を中心に簡略して説明する。

【0114】

図示したように、ゲート配線412とデータ配線428が交差するように形成されており、ゲート配線412とデータ配線428の交差点に、薄膜トランジスタTが形成されている。薄膜トランジスタTに連結され画素電極438が形成されており、ゲート配線412と同じ方向へと、相互に離隔されるように位置した共通配線414では、画素電極438と交互に位置する共通電極420が形成されている。前記画素電極438及び共通電極420は、螺旋形構造を構成している。

【0115】

前記ゲート配線412では、ゲート電極416が分岐されており、データ配線428では、ソース電極430が分岐されていて、ソース電極430と離隔されるようにドレイン電極432が位置する。前記データ配線428、ソース電極430、ドレイン電極432と対応するパターン構造で半導体物質層425が形成されており、前記ソース電極430領域及びドレイン電極432領域と対応した位置の半導体物質層425は、薄膜トランジスタTに含まれる半導体層426を構成する。

【0116】

以下、4マスク工程による螺旋形構造の横電界型の液晶表示装置の製造工程に関して、図を参照してより詳しく説明する。

【0117】

図12Aないし図12Dは、本発明の実施例4による4マスクの螺旋形構造の横電界型の液晶表示装置用アレイ基板の製造工程を段階別に示した平面図であって、前記図10Aないし図10Dと区別される工程的特徴を中心に説明する。

【0118】

図12Aは、第1マスク工程により、ゲート配線412、共通配線414を形成する段階である。ゲート配線412では、ゲート電極416が分岐されて、共通配線414には、画素領域Pの周辺部を取り囲む領域に位置する。円形状のオープン部418のある第1共通電極パターン420aと、オープン部418内に、螺旋形構造で構成された第2共通電極パターン420bが分岐されている。

【0119】

10

20

30

40

50

図12Bは、前記ゲート配線412、共通配線414、第1共通電極パターン420a、第2共通電極パターン420bを覆う領域に、第2マスク工程により半導体物質層425、データ配線428、半導体層426、ソース電極430、ドレイン電極432、チャンネルChを形成する段階である。

【0120】

前記ゲート電極416、半導体層426、ソース電極430、ドレイン電極432は、薄膜トランジスタTを構成する。

この段階では、前記図10に示すような原理の回折露光法を適用することができる。

【0121】

図12Cは、前記薄膜トランジスタTを覆う領域に位置して、前記ドレイン電極432を、一部露出させるドレインコンタクトホール434を有する保護層(図示せず)を形成する段階である。

10

【0122】

図12Dは、前記保護層(図示せず)の上部に、ドレインコンタクトホール434を通じて、ドレイン電極432に連結される画素電極438を形成する段階である。

【0123】

より詳しく説明すると、本段階では、実質的に、ドレイン電極432に連結されて、前記第1共通電極パターン420aと対応する領域にストレージ電極440と、前記ストレージ電極440から分岐されて、第2共通電極パターン420bは、一定間隔を維持して取り囲む、螺旋形構造の画素電極438を形成する段階を含む。

20

【0124】

本発明では、さらに単純化されたマスク工程によるリング状の電極構造の横電界型の液晶表示装置を提供するために、以下のようにリフトオフ工程が適用される。

【0125】

図13Aないし図13Dは、一般的なリフトオフ工程に関する概略的な工程断面図である。

【0126】

図13Aでは、第1パターン形成部である第1領域V Iaと、第1領域V Iaの周辺部を構成する第2領域V Ibを、基板450上に定義する。第2領域V Ibに感光性物質を利用して、PRパターン452を形成する。図13Bは、PRパターン452を覆う領域に、パターン物質454を、全面に形成する段階である。

30

例えば、前記パターン物質454は、金属物質または、透明導電性物質から選択される。

【0127】

図13Cは、前記PRパターン452をストリップする段階である。この時、PRパターン452を覆う領域のパターン物質454である第1領域454aは、リフトオフ方式によりPRパターン452と共に、除去される。

【0128】

これにより、図13Dのように、第1領域(前記図13CのV Ia)上に、残っているパターン物質454bが、金属パターン456を構成する。

40

【0129】

このようなリフトオフ工程によると、露光、現像、エッチング等の一連の複雑な工程が要求されるフォトリソグラフィ工程より単純化された工程を通じて所望のパターンを形成することができる。

【0130】

以下、本発明の更に他の実施例等では、リフトオフ工程が適用された製造工程により横電界型の液晶表示装置に関して提示する。

【実施例5】

【0131】

本実施例は、フォトリソグラフィパターンが形成された基板上に、金属物質を全面蒸着した

50

後、前記フォトリソパターンをストリップする工程を通じて、フォトリソパターンを覆っている金属物質をリフトオフすることによって、残った金属物質をパターンとして利用する工程で定義されるリフトオフ工程を含む3マスクアレイ工程に関する実施例である。特に、共通電極は、共通配線と同じ工程で形成されて、画素電極は、第3マスク工程で、透明導電性物質で構成されることを特徴とする。

【0132】

図14は、本発明の実施例5によるリング状の電極構造の横電界型の液晶表示装置用アレイ基板のパッド部を含む平面図である。前記実施例3と区別される構造的特性を中心に、簡略して説明する。

【0133】

図示したように、ゲート配線512とデータ配線528が交差するように形成されており、ゲート配線512及びデータ配線528の交差点に、ゲート電極516、半導体層526、ソース電極530、ドレイン電極532とで構成された薄膜トランジスタTが形成されている。薄膜トランジスタTに連結され画素電極538が形成されており、共通配線514では、画素電極538と交互に位置する共通電極520が形成されている。前記画素電極538及び共通電極520は、リング状構造で構成される。

【0134】

前記ドレイン電極532には、ゲート配線512と、平行に形成された連結配線533と、前段ゲート配線512と重なるように形成されたストレージ電極535が、一体型パターンで連結されている。

【0135】

また、ゲート配線512とデータ配線528の一端には、ゲートパッド1310及びデータパッド1314が、各々形成されている。ゲートパッド1310及びデータパッド1314と重なる第1オープン部XV1a、第2オープン部XV1b内には、前記ゲートパッド1310及びデータパッド1314に連結されるゲートパッド電極1318及びデータパッド電極1320が、各々形成されている。

【0136】

本実施例では、ドレイン電極532を、3つのパターンで延長形成することによって、前記画素電極538は、別途のストレージ電極なしでも、ドレイン電極532に連結される構造である。

【0137】

図面には詳しく提示していないが、前述した第4マスク工程、第5マスク工程では、保護層のドレインコンタクトホールを通じて、画素電極を含むストレージ電極とドレイン電極を連結させる方式であったが、本実施例では、保護層は含むが、リフトオフ工程により、別途のコンタクトホールを省略して、画素電極538とドレイン電極532を連結させることを特徴とする。

【0138】

前述した半導体層526は、前記データ配線528、ソース電極530、ドレイン電極532と対応したパターン構造を構成する半導体物質層525に含まれて、実質的に、半導体物質層525、データ配線528、ソース電極530、ドレイン電極532は、回折露光法を利用した同じマスク工程で形成されることを特徴とする。

【0139】

前記ゲート配線512と重なるように位置するストレージ電極535は、絶縁体が介在された状態でストレージキャパシターCstを構成する。

【0140】

前記共通電極520は、画素領域Pで、円形状のオープン部518のある第1共通電極パターン520aと、オープン部518内に、位置するリング構造の第2共通電極パターン520bとで構成される。

【0141】

前記画素電極538は、リフトオフ工程により形成されて、連結配線533と接触され

10

20

30

40

50

る部分で、電氣的に連結されて、共通配線 514 とは重ならないように、第 1 共通電極パターン 520a と第 2 共通電極パターン 520b 間に位置する。画素電極 538 は、共通配線 514 領域で、相互に離隔されるように位置して、全体的に、楕円形状を構成する第 1 画素電極パターン 538a と、第 2 共通電極パターン 520b の内部領域で、共通配線 514 と連結配線 533 の交差点で、連結配線 533 内に位置する第 2 画素電極パターン 538b とで構成される。前記第 1 画素電極パターン 538a と第 2 画素電極パターン 538b は、相互に、独立的なパターンで、存在することを特徴とする。第 1 画素電極パターン 538a 等は、各々半円状に、共通配線 514 を間に、上下に、対称されるように位置する。

【0142】

前記画素電極 538、ゲートパッド電極 1318、データパッド電極 1320 は、リフトオフ工程を通じて形成されたことを特徴とする。

【0143】

以下、図 15A ないし図 15D は、本発明の実施例 5 によるリング状の電極構造の横電界型の液晶表示装置用アレイ基板の製造工程を段階別に示した平面である。

【0144】

図 25A ないし図 25D、図 26A ないし図 26D は、前記図 15A ないし図 15D の XVa-XVa 線、XVb-XVb 線に沿って、切断された断面を、各々示した断面図である。

【0145】

図 15A、図 25A、図 26A は、基板 510 上に、第 1 マスク工程により第 1 方向へと、ゲート配線 512 及び共通配線 514 を、相互に離隔されるように形成する段階である。さらに、ゲート配線 512 の一端に、ゲートパッド 1310 を形成する段階を含む。

【0146】

前記共通配線 514 を形成する段階では、画素領域 P の周辺部を取り囲む位置で、円形状のオープン部 518 のある第 1 共通電極パターン 520a と、オープン部 518 内に位置するリング状の第 2 共通電極パターン 520b を形成する段階を含み、また、共通電極 520 を形成する段階も含む。

【0147】

前記ゲート配線 512 を形成する段階では、前記ゲート配線 512 で、画素領域 P へと分岐されたゲート電極 516 を形成する段階を含む。

【0148】

図 15B、図 25B、図 26B は、前記図 12B でのように、回折露光法を利用した第 2 マスク工程により、第 1 方向と交差される第 2 方向へと位置するデータ配線 528 と、前記データ配線 528 から分岐されたソース電極 530 と、前記ソース電極 530 と離隔されるように位置するドレイン電極 532 と、前記データ配線 528、ソース電極 530 及びドレイン電極 532 と対応する領域に位置して、前記ソース電極 530 及びドレイン電極 532 と対応した下部領域で、半導体層 526 のある半導体物質層 525 と、前記ソース電極 530 とドレイン電極 532 の間区間に位置するチャンネル Ch を形成する段階を含む。

前記データ配線 528 の一端には、データパッド 1314 が位置する。

【0149】

実質的に、ゲート絶縁膜 1312、半導体物質、データ配線物質を、順に形成した後、前述した 2 マスク工程を行う。

【0150】

前記ドレイン電極 532 を形成する段階では、第 2 方向へと形成された連結配線 533 と、前段ゲート配線 512 と重なるように位置するストレージ電極 535 を、ドレイン電極 532 と一体型パターンに形成する段階を含む。

【0151】

図 15C、図 25C、図 26C では、前記画素領域 P に、保護層 1316 を形成する。

隔離領域 I I 及び第 1 オープン部 X V I a、第 2 オープン部 X V I b のあるリフトオフ工程用 P R パターン 5 3 6 を形成する。P R パターン 5 3 6 を覆う領域に、透明導電性物質 5 3 7 を、全面に蒸着する。

前記隔離領域 I I は、第 1 共通電極パターン、第 2 共通電極パターン間で、前記共通配線 5 1 4 とは重ならず、前記共通配線 5 1 4 を基準に、相互に対称構造に、隔離されるように位置する第 1 隔離領域 I I a と、前記連結配線 5 3 3 と共通配線 5 1 4 間の交差領域で、前記連結配線 5 3 3 内に位置する第 2 隔離領域 I I c とで構成される。隔離領域 I I 及びオープン部 X V I は、後続工程で、画素電極及びパッド電極が形成される領域に当たり、前記第 1 隔離領域 I I a、第 2 隔離領域 I I c 及び第 1 オープン部 X V I a、第 2 オープン部 X V I b に位置する透明導電性物質 5 3 7 は、連結配線 5 3 3、ゲートパッド 1 3 1 0 及びデータパッド 1 3 1 4 と、各々連結される。

10

【0152】

前述した保護層 1 3 1 6 をエッチングする段階を、より詳しく説明すると、前記第 1 オープン部 X V I a では、ゲート絶縁膜 1 3 1 2 及び保護層 1 3 1 6 をエッチングすることによって、ゲートパッド 1 3 1 0 を露出させて、第 2 オープン部 X V I b では、保護層 1 3 1 6 だけをエッチングして、その下部層のデータパッド 1 3 1 4 を露出させる。

【0153】

また、前述したリフトオフ方式パターンニング工程は、望む形状が陰核された P R パターンを、予め、形成した後、P R パターンを覆う基板全面に、金属層を蒸着して、P R パターンをストリップする工程を行い、P R パターンの上部を覆う金属層を、リフトオフ方式で除去し、残された金属層パターンを、電極パターンに形成することにより行われる。

20

【0154】

図 1 5 D、図 2 5 D、図 2 6 D は、前記 P R パターン(前記図 1 5 C の 5 3 6)を覆う基板全面に、透明導電性物質を利用して蒸着した後、前記 P R パターン(前記図 1 5 C の 5 3 6)をストリップし、前記 P R パターン(前記図 1 5 C の 5 3 6)を覆う領域の透明導電性物質(前記図 1 5 C の 5 3 7)をリフトオフする。残された透明導電性物質(前記図 1 5 C の 5 3 7)は、画素電極 5 3 8、ゲートパッド電極 1 3 1 8、データパッド電極 1 3 2 0 とに、各々形成する段階である。

【0155】

前記画素電極 5 3 8 は、前記第 1 隔離領域(前記図 1 5 D の I I a)及び第 2 隔離領域(前記図 1 5 D の I I c)に残された、透明導電性物質で、第 1 共通電極パターン 5 2 0 a、第 2 共通電極パターン 5 2 0 b 間に位置して、共通配線 5 1 4 を基準に、相互に隔離されるように位置する。すなわち、前記共通配線 5 1 4 と重ならない第 1 画素電極パターン 5 3 8 a と、共通配線 5 1 4 及び連結配線 5 3 3 が交差する地点で、連結配線 5 3 3 内に位置する第 2 共通電極パターン 5 2 0 b とで構成される。第 1 画素電極パターン 5 3 8 a 及び第 2 画素電極パターン 5 3 8 b は、連結配線 5 3 3 と接触するが、共通配線 5 1 4 とは接触しない。

30

【0156】

前記ゲートパッド電極 1 3 1 8 及びデータパッド電極 1 3 2 0 は、前記第 1 オープン部 X V I a、第 2 オープン部 X V I b に残された、透明導電性物質(前記図 1 5 C、図 2 5 C、図 2 6 C の 5 3 7)パターンに、各々当たる。

40

【0157】

すなわち、前記第 1 オープン部 X V I a と対応した領域に、ゲートパッド電極 1 3 1 8 が形成され、ゲートパッド 1 3 1 0 に、電気的に連結されて、前記第 2 オープン部 X V I b と対応した領域に、データパッド電極 1 3 2 0 が形成され、データパッド 1 3 1 4 に、電気的に連結される。

【実施例 6】

【0158】

本実施例は、前記実施例 5 のようなリフトオフ工程を利用した 3 マスク工程であって、螺旋形の電極構造の横電界型の液晶表示装置用アレイ基板及び製造工程に関する実施例で

50

ある。特に、共通電極と画素電極が、同じマスク工程(第3マスク工程)で、透明導電性物質で構成されることを特徴とする。

【0159】

図16は、本発明の実施例6による円形の電極構造の横電界型の液晶表示装置用アレイ基板の平面図であって、前記図14によるアレイ基板構造を基本にして、区別される構造的特性を中心に簡略して説明する。

【0160】

図示したように、画素電極638と共通電極620が、交互に円形電極の形状に配置されることに応じて、画素電極638及び共通電極620は、相互に同一工程、同一物質で構成されることを特徴とする。

10

【0161】

より詳しく説明すると、前記画素電極638及び共通電極620は、リフトオフ工程を利用して、透明導電性物質で構成されて、共通電極620と共通配線614、画素電極638と連結配線633が、相互に直接接触する方式で連結される。従って、前記共通電極620と連結配線633間の段落を防ぐことができる。共通電極620は、連結配線633と重なる領域、そして、画素電極638は、共通配線614と重なる領域で、パターンが省略された半円状で形成する。この時、連結配線633と共通配線614の交差点に形成される第2画素電極パターン638bは、連結配線633と対応する領域にだけ形成する。

【0162】

以下、図17Aないし図17Dは、本発明の実施例6による円形の電極構造の横電界型の液晶表示装置用アレイ基板の製造工程を段階別に示した平面図であって、前記図15Aないし図15Dの製造工程とは区別される製造工程を中心に簡略して説明する。

20

【0163】

図17Aは、基板610上に、第1マスク工程によりゲート配線612及び共通配線614を、相互に離隔されるように形成する段階である。

【0164】

図17Bは、前記図14Bでのように、回折露光法を利用した第2マスク工程により、データ配線628、ソース電極630、ドレイン電極632を形成すると同時に、前記データ配線628、ソース電極630及びドレイン電極632と対応する領域に位置して、前記ソース電極630及びドレイン電極632に対応する領域で、半導体層626のある半導体物質層625を形成する段階である。また、図17Bの段階では、前記ソース電極630とドレイン電極632の間区間に位置するチャンネルChを形成する。

30

【0165】

前記ゲート電極616、半導体層626、ソース電極630、ドレイン電極632は、薄膜トランジスタTを構成する。

【0166】

図17Cでは、前記画素領域Pに、リフトオフ工程用PRパターン636を形成して、前記PRパターン636を、一種のマスクを利用して露出されたゲート絶縁物質を除去する。また、ゲート絶縁膜だけで覆われている基板領域を露出させて、前記PRパターン636を覆う基板全面に、透明導電性物質637を蒸着する。

40

【0167】

前記PRパターン636間の離隔領域EAは、後続工程で、共通電極と画素電極が形成される領域に当たる。すなわち、離隔領域EA1、EA2、EA5、EA6には、共通電極が形成されて、離隔領域EA3、EA4、EA7には、画素電極が形成される。

【0168】

図17Dでは、前記PRパターン(前記図17Cの636)をストリップして、前記PRパターン(前記図17Cの636)を覆う領域の透明導電性物質(前記図17Cの637)をリフトオフする。それで、残された透明導電性物質は、画素電極638及び共通電極642を構成する。

50

【0169】

この段階では、前記画素電極638と連結配線633、そして、共通電極620と共通配線614は、各々接続(または、接触)される方式で、電気的に連結される。従って、1つのマスク工程で、リフトオフ方式により2つの電極を形成する工程の特性上、画素電極638は、共通配線614間の重なる領域で、共通電極642は、連結配線633と重なる領域で、パターンが省略された半円状であることを特徴とする。この時、前記連結配線633と共通配線614間の交差領域に位置する第2画素電極パターン638bは、連結配線633の面積内にだけ形成する。

【0170】

図18は、本発明による横電界型の液晶表示装置の電極配置構造によるグレー別の液晶の方向及び輝度の特性のシミュレーションに関する図であって、ノーマリブラックモードを基準に、測定した結果に当たる。

10

【0171】

図示したように、電圧無印加(0V)で、電圧の強度を、段々高めながら、(2V→4V→6V→8V→10V)グレーの特性を観察したものであって、液晶分子の方向が、どちらの方向から見ても同じなので、視野角が向上される。

【実施例7】

【0172】

図19は、本発明の実施例7による横電界型の液晶表示装置用アレイ基板の平面図であって、1つのピクセル部を基準に示した。

20

【0173】

本実施例には、横電界を形成する両共通電極720及び画素電極738が、円形構造の横電界型の液晶表示装置を提供することに応じて、図示したように、画素領域が、正四角形構造であるRGBW(赤色Red、緑色Green、青色Blue、白色White)4色サブピクセルPR、PG、PB、PWが、1つのピクセルPPを構成する構造に適用する。

【0174】

一般的に、RGB3色サブピクセルが、1つのピクセルを構成する構造の横電界型の液晶表示装置用画素領域は、長方形構造であるので、開口率を考慮して、円形電極720、738を形成するためには、画素領域を正四角形構造で形成することが望ましい。

30

【0175】

ところが、本発明による正四角形のピクセル部がある液晶表示装置は、RGBWピクセル構造に、限定はしない。

【0176】

また、図面には示していないが、正四角形のピクセル構造は、螺旋形の電極構造の横電界型の液晶表示装置にも適用されることができる。

【実施例8】

【0177】

本実施例は、前記実施例1による横電界型の液晶表示装置のストレージ構造と前段ストレージ構造を、混合した構造に関する実施例である。

【0178】

図20は、本発明の実施例8によるリング状の電極構造の横電界型の液晶表示装置用アレイ基板の平面図であって、前記実施例1の構造を基本構造として、ストレージキャパシター形成部を中心に示した。

40

【0179】

図示したように、第1共通電極パターン820aと、第1方向へ重なるように第1ストレージ電極パターン840a、第2ストレージ電極パターン840bを形成することに応じて、第1ストレージ電極パターン840aは、薄膜トランジスタTに連結されるパターンであって、第2ストレージ電極パターン840bは、前段ゲート配線812と隣接したパターンだと定義した時、第2ストレージ電極パターン840bは、前段ゲート配線812と、一部重なる領域まで、拡張形成されていることを特徴とする。

50

【0180】

すなわち、本実施例では、共通方式と前段ゲート方式を、混合した方式により、ストレージキャパシター(Cst; Cst1 + Cst2)を構成することによって、ストレージキャパシターCst効率を、効果的に高めることができる。

【実施例9】

【0181】

本実施例は、前記実施例2による螺旋形の電極構造の横電界型の液晶表示装置のストレージ構造と前段ストレージ構造を、混合した構造に関する実施例である。

【0182】

図21は、本発明の実施例9による螺旋形の電極構造の横電界型の液晶表示装置用アレイ基板の平面図であって、前記実施例2の構造を基本構造として、ストレージキャパシター形成部を中心に示した。

10

【0183】

図示したように、第1共通電極パターン920aと、第1方向へと重なるようにストレージ電極940を形成することに応じて、ストレージ電極940は、前段ゲート配線912と、一部重なる領域まで、拡張形成されていることを特徴とする。

【0184】

すなわち、本実施例では、共通方式と前段ゲート方式を、混合した方式でストレージキャパシター(Cst; Cst1 + Cst2)を構成することによって、ストレージキャパシターCst効率を、効果的に高めることができる。

20

【実施例10】

【0185】

図22は、本発明の実施例10による横電界型の液晶表示装置用カラーフィルター基板の平面図であって、ブラックマトリックス形成部を中心に示して、リング状の電極構造及び螺旋形の電極構造に、全部適用できる実施例である。

【0186】

図示したように、基板1050上に、画素領域Pを、オープン部1052とするブラックマトリックス1054が形成されており、ブラックマトリックス1054を、カラー別の境界部として、オープン部1052にカラーフィルター層1056が形成されている。

30

【0187】

図面で、Xa領域は、本発明による円形電極の形成領域であって、Xb領域は、一般的な四角形電極の形成領域だと仮定した時、ブラックマトリックス1054と、各領域Xa、Xbの重畳領域を、Xc、Xdとした場合、XdがXcより大きい面積になる。

【0188】

すなわち、上部及び下部の合着ミスアライン発生時、円形の電極構造が、四角形の電極構造より重畳領域が小さいので、ミスアラインによる開口率の損失が最小化できて、合着マージンを増加させる効果がある。

従って、製品別輝度の差も減らすことができる。

【実施例11】

【0189】

本実施例は、前記実施例1による円形の電極構造を基本にするが、開口率の向上のため、外廊共通電極パターンのオープン部の形状及び外廊共通電極パターンと重なるストレージ電極のパターンを変更する実施例である。

40

【0190】

図23は、本発明の実施例11によるリング状の電極構造の横電界型の液晶表示装置用アレイ基板の平面図であって、前記実施例1と重複する部分に関する説明は、簡略にする。

【0191】

図示したように、画素領域Pの周辺部を取り囲む領域に位置して、角部のある四角形状のオープン部1118のある第1共通電極パターン1120aが形成されており、第1共

50

通電極パターン1120aと重なるように第1方向へと、第1ストレージ電極パターン1140a、第2ストレージ電極パターン1140bが形成されている。

【0192】

前記第1共通電極パターン1120aは、第1方向へと画素領域Pの中央部を経由する共通配線1114に連結されており、前記第1ストレージ電極パターン1140a、第2ストレージ電極パターン1140bでは、画素領域Pの中央部で共通配線1114と交差するように、連結配線1141が分岐されており、共通配線1114では、第2共通電極パターン1120bが分岐されている。連結配線1141では、第2共通電極パターン1120bの外側の周辺部を取り囲む位置に、第1画素電極パターン1138aが形成されており、第2共通電極パターン1120bが内部領域に、円形状の第2画素電極パターン1138bが、各々形成されている。

10

【0193】

本実施例では、第1共通電極パターン1120aの四角形状のオープン部1118に、画素領域Pと対応した角部XIを形成することによって、前記実施例1ないし実施例4で、オープン部を円形に形成して犠牲された開口領域XIが確保できる特徴がある。

【0194】

また、横電界型の液晶表示装置は、ノーマリブラックモードであるために、ブラック輝度での問題がなく、電圧の駆動時、オープン部の角部分を開口領域として利用して、輝度の特性を高める。

【0195】

図面には詳しく提示していないが、本実施例による角部のあるオープン部構造は、螺旋形の電極構造の横電界型の液晶表示装置に適用することができる。

20

【実施例12】

【0196】

本実施例は、4マスク構造において、低導電率の保護層の使用時、共通電極をデータ配線と重なる構造に形成する高開口率構造に関する実施例である。

【0197】

図24は、本発明の実施例12による円形の電極構造の横電界型の液晶表示装置用アレイ基板の平面図であって、前記図9のアレイ基板構造を基本構造として変形された部分を中心に説明する。

30

【0198】

図示したように、画素領域P単位で、共通電極1220及び画素電極1238が、相互に一定間隔を維持して、円形の電極構造で、交互に形成されている。前記共通電極1220は、画素領域Pで、円形状のオープン部1218があって、図面で、第1方向へと接する画素領域P間に、一体型パターンの第1共通電極パターン1220aと、オープン部1218内で、リング状の第2共通電極パターン1220bとで構成される。前記画素電極1238は、第1共通電極パターン1220aと第2共通電極パターン1220bの間区間に位置する第1画素電極パターン1238aと、第2共通電極パターン1220bの内部領域に、連結配線1241と共通配線1214の交差点に形成された第2画素電極パターン1238bとで構成される。

40

前記画素電極1238と共通電極1220は、同一工程、同一物質で、構成されることを特徴とする。

【0199】

前記データ配線1228と共通電極1220の間区間には、低導電率特性があって、第1コンタクトホール1244、第2コンタクトホール1246のある保護層(図示せず)が介在されている。共通電極1220と共通配線1214は、第1コンタクトホール1244を通じて画素電極1238に連結されて、ドレイン電極1232は、第2コンタクトホール1246を通じて連結されている。

【0200】

本実施例では、低導電率の保護層により金属物質間の電氣的干渉を低くすることができ

50

るので、共通電極 1220 の形成面積を拡張することによって、開口率が向上できる。

【0201】

本実施例による構造は、本発明で提示した 3 マスクにより共通電極と画素電極を同一工程、同一物質で形成する工程を一例として、高開口率構造のため、共通電極とデータ配線間に、低導電率の保護層を介在した 4 マスク構造に関して提示したことを特徴とする。

前述した低導電率の保護層を構成する物質として、例えば、ベンゾシクロブテン BCB がある。

【0202】

図面には提示していないが、本実施例で提示した一般的な円形の電極構造以外に、螺旋形の電極構造にも適用できる。

10

【0203】

ところが、本発明の前記実施例等に限らず、本発明の趣旨に反しない範囲内で、多様に変更して実施することができる。

【図面の簡単な説明】

【0204】

【図 1】一般的な横電界型の液晶表示装置の断面を示した断面図である。

【図 2】従来の横電界型の液晶表示装置用アレイ基板の概略的な平面図である。

【図 3】既存のマルチドメイン横電界型の液晶表示装置用アレイ基板の概略的な平面図である。

【図 4】既存のジグザグ構造のマルチドメイン横電界型の液晶表示装置の視野角の特性を示した図である。

20

【図 5】本発明の実施例 1 によるリング状の電極構造の横電界型の液晶表示装置用アレイ基板の平面図である。

【図 6 A】本発明の実施例 1 による 5 マスクの横電界型の液晶表示装置用アレイ基板の製造工程を段階別に示した平面図である。

【図 6 B】図 6 A に続く工程を示す平面図である。

【図 6 C】図 6 B に続く工程を示す平面図である。

【図 6 D】図 6 C に続く工程を示す平面図である。

【図 6 E】図 6 D に続く工程を示す平面図である。

【図 7】本発明の実施例 2 による螺旋形の電極構造の横電界型の液晶表示装置用アレイ基板の概略的な平面図である。

30

【図 8 A】本発明の実施例 2 による 5 マスクの螺旋形の電極構造の横電界型の液晶表示装置用アレイ基板の製造工程を段階別に示した平面図である。

【図 8 B】図 8 A に続く工程を示す平面図である。

【図 8 C】図 8 B に続く工程を示す平面図である。

【図 8 D】図 8 C に続く工程を示す平面図である。

【図 8 E】図 8 D に続く工程を示す平面図である。

【図 9】本発明の実施例 3 によるリング状の電極構造の横電界型の液晶表示装置用アレイ基板の平面図である。

【図 10 A】本発明の実施例 3 による 4 マスクの一般的な円形の電極構造の横電界型の液晶表示装置用アレイ基板の製造工程を段階別に示した平面図である。

40

【図 10 B】図 10 A に続く工程を示す平面図である。

【図 10 C】図 10 B に続く工程を示す平面図である。

【図 10 D】図 10 C に続く工程を示す平面図である。

【図 11】本発明の実施例 4 による螺旋形の電極構造の横電界型の液晶表示装置用アレイ基板の平面図である。

【図 12 A】本発明の実施例 4 による 4 マスクの螺旋形の構造の横電界型の液晶表示装置用アレイ基板の製造工程を段階別に示した平面図である。

【図 12 B】図 12 A に続く工程を示す平面図である。

【図 12 C】図 12 B に続く工程を示す平面図である。

50

【図12D】図12Cに続く工程を示す平面図である。

【図13A】一般的なリフトオフ工程の概略的な工程断面図である。

【図13B】図13Aに続く工程を示す断面図である。

【図13C】図13Bに続く工程を示す断面図である。

【図13D】図13Cに続く工程を示す断面図である。

【図14】本発明の実施例5によるリング状の電極構造の横電界型の液晶表示装置用アレイ基板の平面図である。

【図15A】本発明の実施例5によるリング状の電極構造の横電界型の液晶表示装置用アレイ基板の製造工程を段階別に示した平面図である。

【図15B】図15Aに続く工程を示す平面図である。

【図15C】図15Bに続く工程を示す平面図である。

【図15D】図15Cに続く工程を示す平面図である。

【図16】本発明の実施例6による螺旋形の電極構造の横電界型の液晶表示装置用アレイ基板の平面図である。

【図17A】本発明の実施例6による螺旋形の電極構造の横電界型の液晶表示装置用アレイ基板の製造工程を段階別に示した平面図である。

【図17B】図17Aに続く工程を示す平面図である。

【図17C】図17Bに続く工程を示す平面図である。

【図17D】図17Cに続く工程を示す平面図である。

【図18】本発明による横電界型の液晶表示装置の電極の配置構造によるグレー別の液晶の方向及び輝度の特性のシミュレーションに関する図である。

【図19】本発明の実施例7による横電界型の液晶表示装置用アレイ基板の平面図である。

【図20】本発明の実施例8によるリング状の電極構造の横電界型の液晶表示装置用アレイ基板の平面図である。

【図21】本発明の実施例9による螺旋形の電極構造の横電界型の液晶表示装置用アレイ基板の平面図である。

【図22】本発明の実施例10による横電界型の液晶表示装置用カラーフィルター基板の平面図である。

【図23】本発明の実施例11によるリング状の電極構造の横電界型の液晶表示装置用アレイ基板の平面図である。

【図24】本発明の実施例12による円形の電極構造の横電界型の液晶表示装置用アレイ基板の平面図である。

【図25A】本発明の実施例5による横電界型の液晶表示装置用アレイ基板の製造工程で、ゲートパッド部の製造工程を段階別に示した工程断面図である。

【図25B】図25Aに続く工程を示す断面図である。

【図25C】図25Bに続く工程を示す断面図である。

【図25D】図25Cに続く工程を示す断面図である。

【図26A】本発明の実施例5による横電界型の液晶表示装置用アレイ基板の製造工程で、データパッド部の製造工程を段階別に示した工程断面図である。

【図26B】図26Aに続く工程を示す断面図である。

【図26C】図26Bに続く工程を示す断面図である。

【図26D】図26Cに続く工程を示す断面図である。

【符号の説明】

【0205】

110：基板

112：ゲート配線

114：共通配線

118：オープン部

120a：第1共通電極パターン

10

20

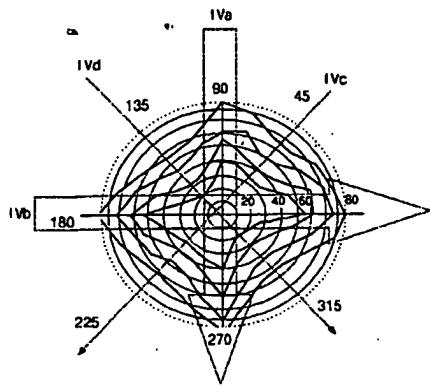
30

40

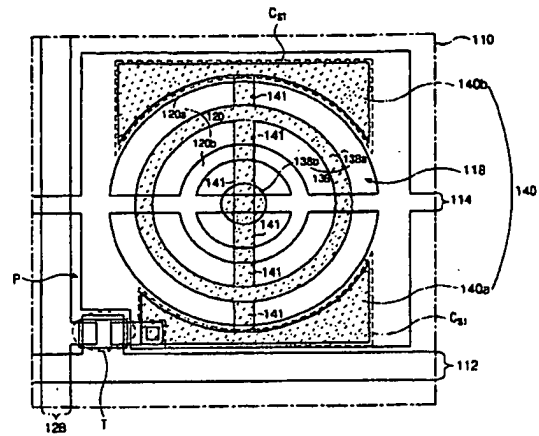
50

10

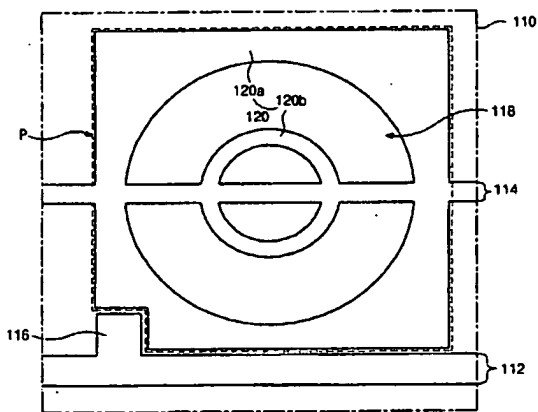
【図 4】



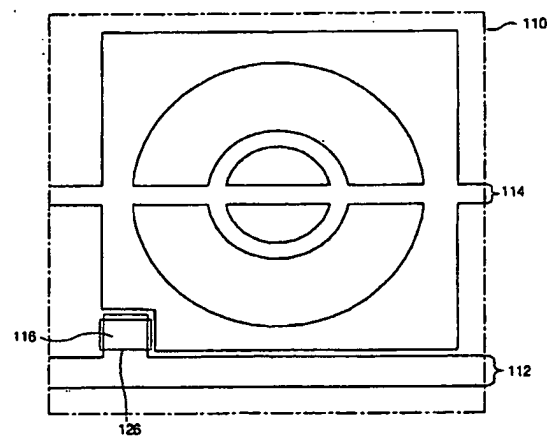
【図 5】



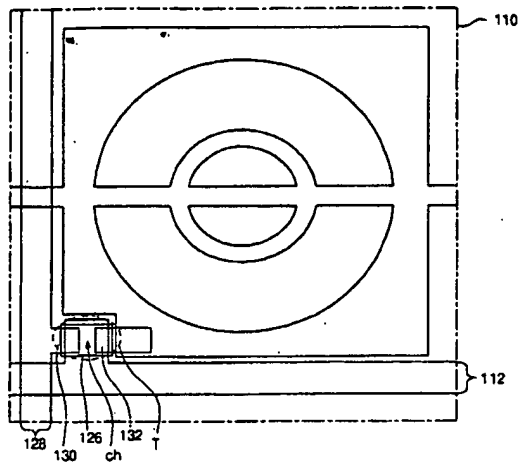
【図 6 A】



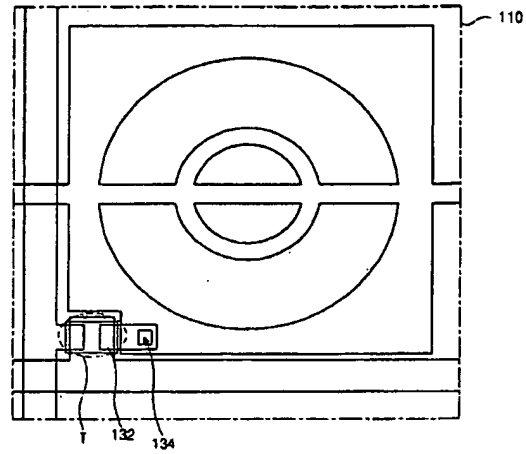
【図 6 B】



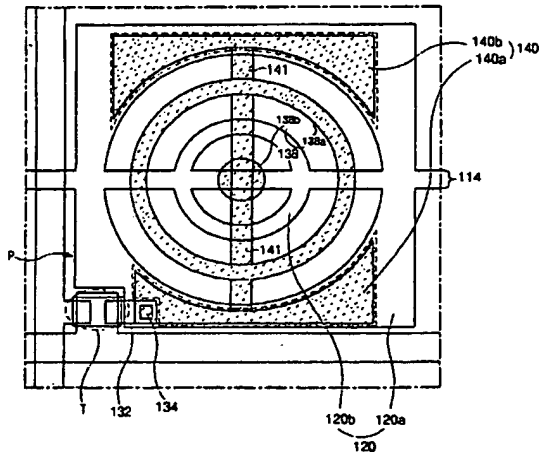
【図 6 C】



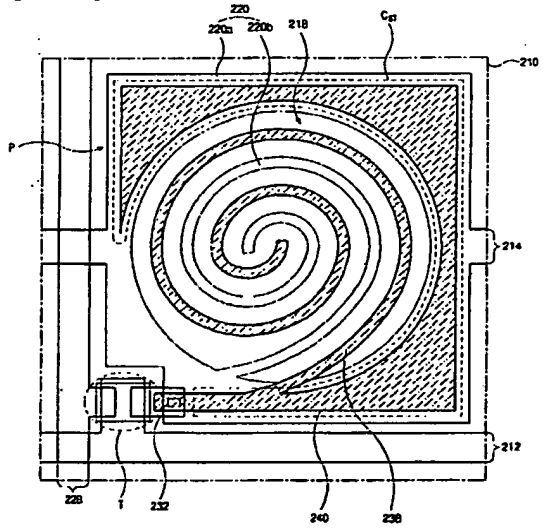
【図 6 D】



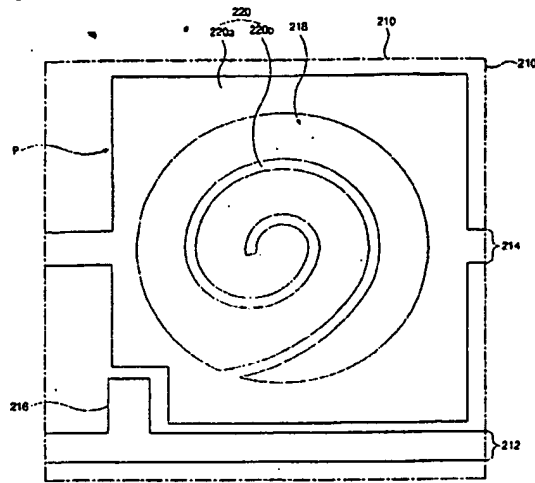
【図 6 E】



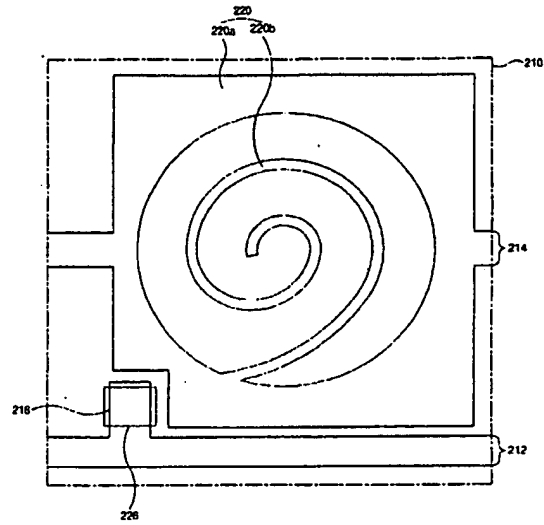
【図 7】



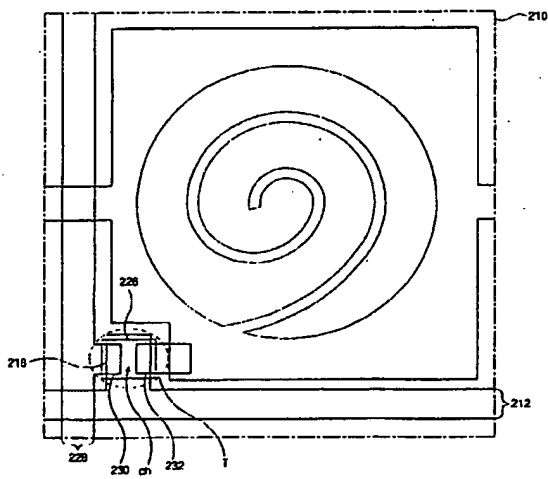
【図 8 A】



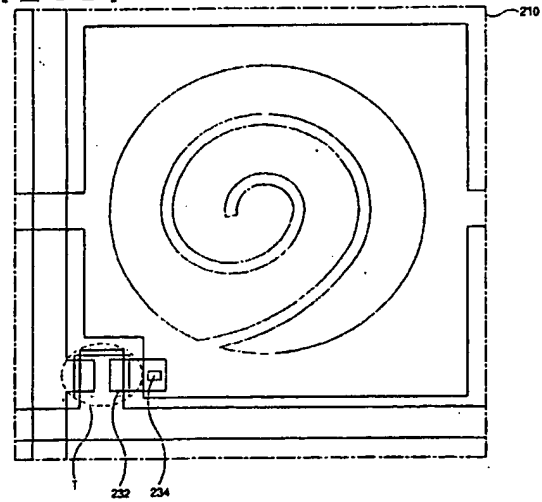
【図 8 B】



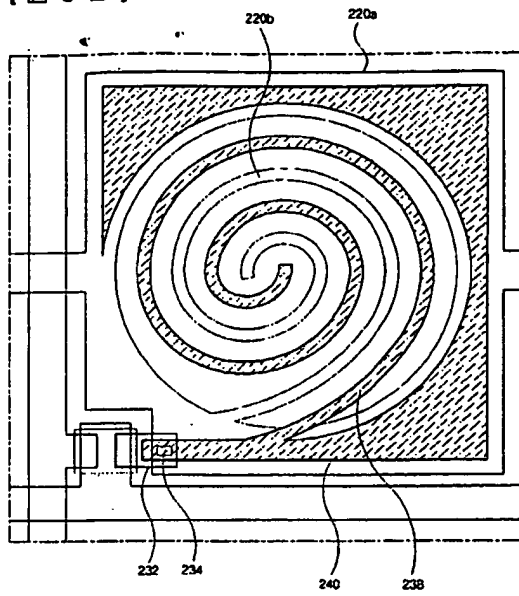
【図 8 C】



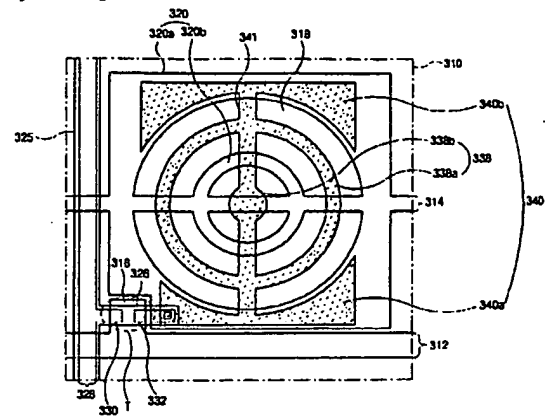
【図 8 D】



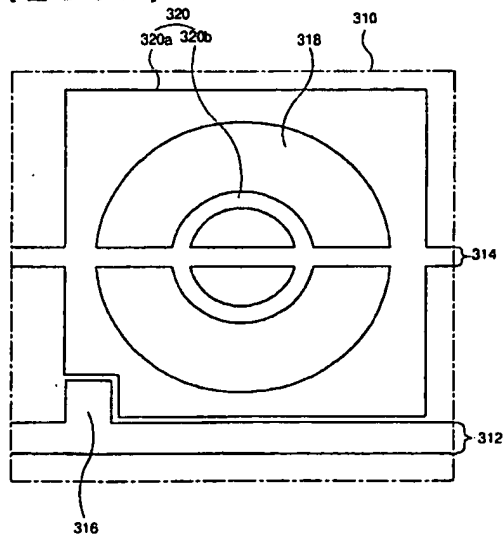
【図 8 E】



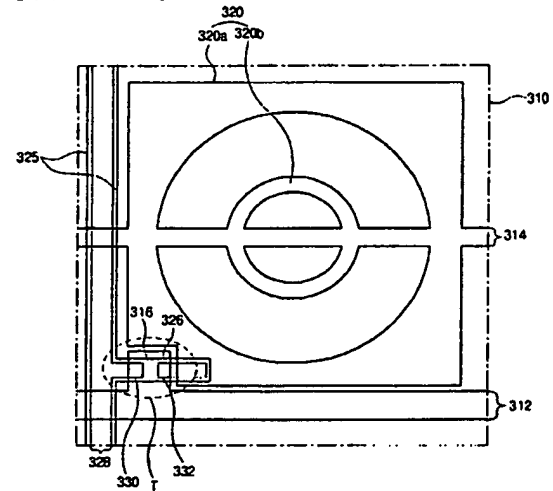
【図 9】



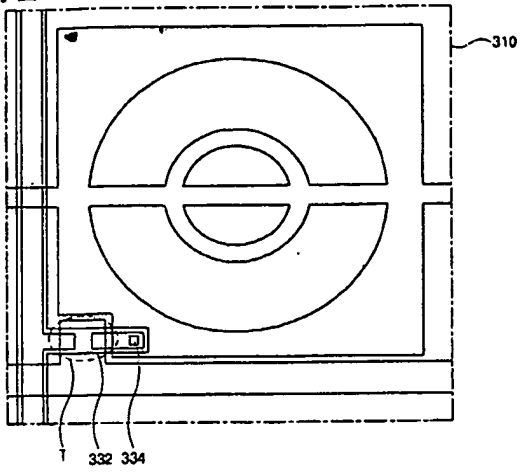
【図 10 A】



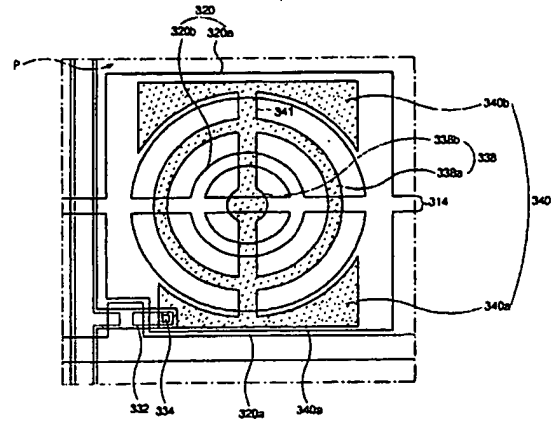
【図 10 B】



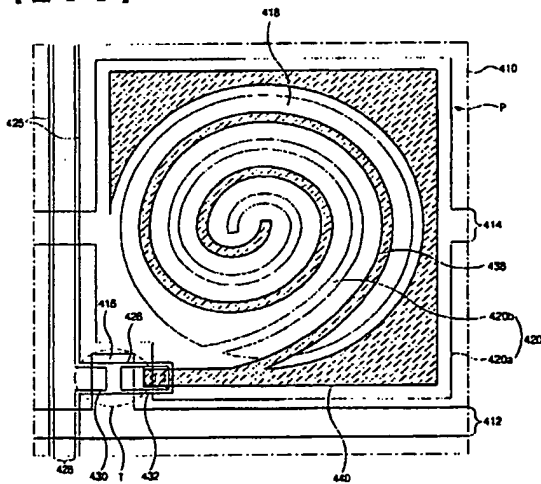
【図 10 C】



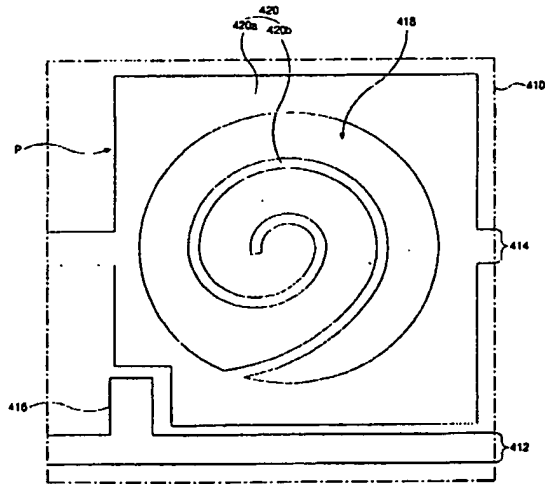
【図 10 D】



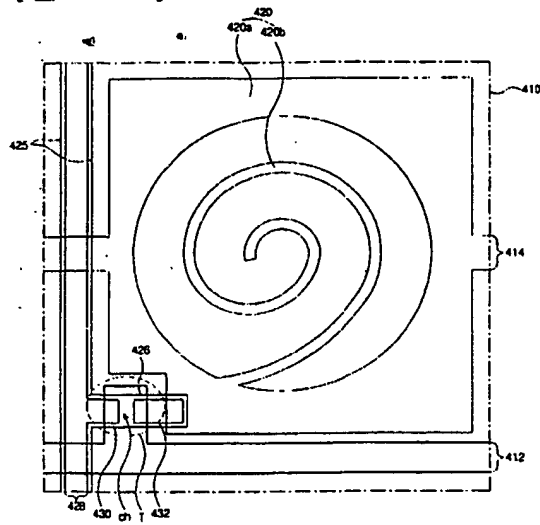
【図 11】



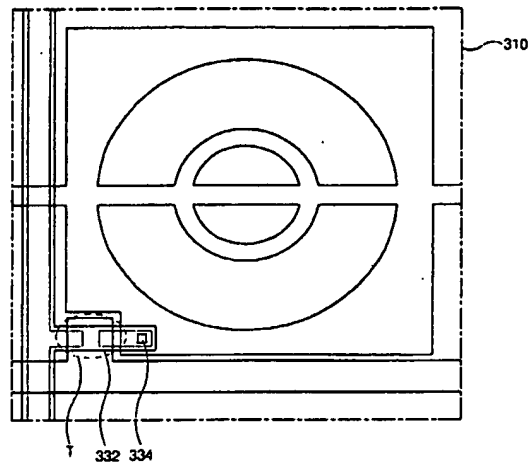
【図 12 A】



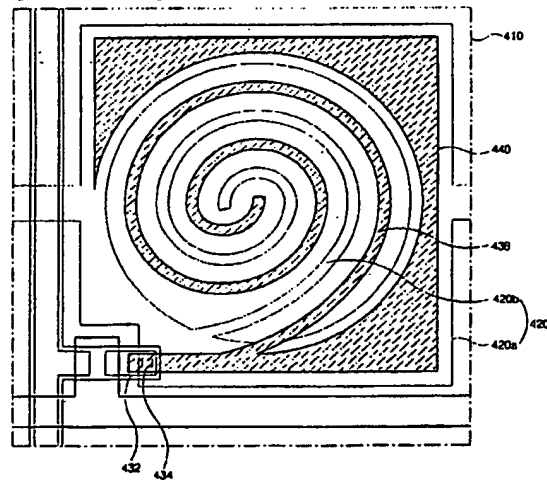
【図 12 B】



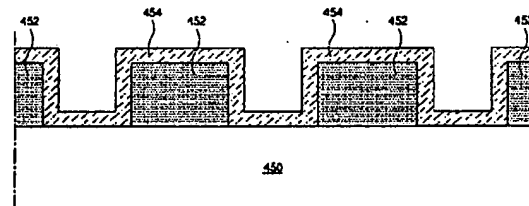
【図 12 C】



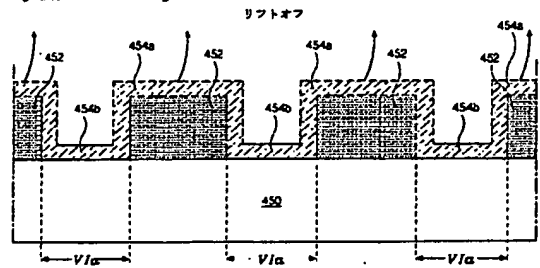
【図 12 D】



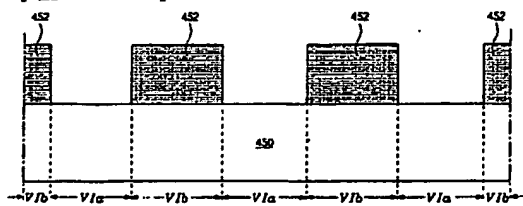
【図 13 B】



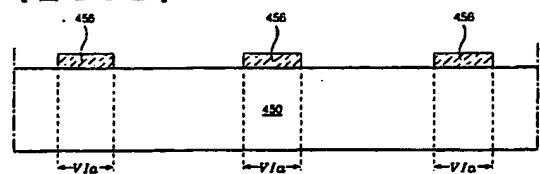
【図 13 C】



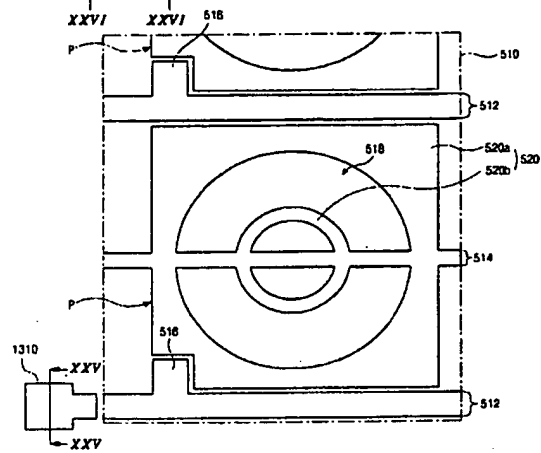
【図 13 A】



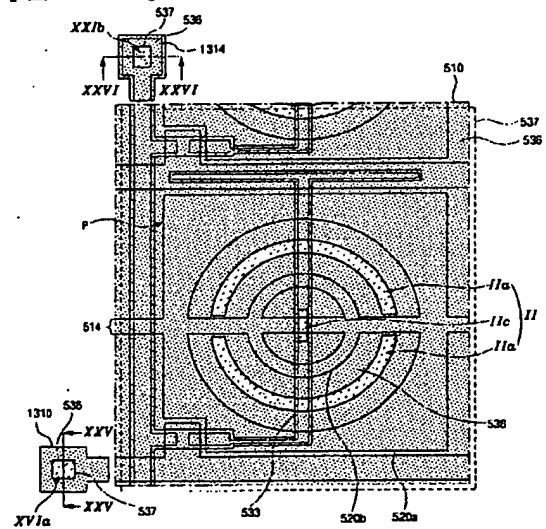
【図 13 D】

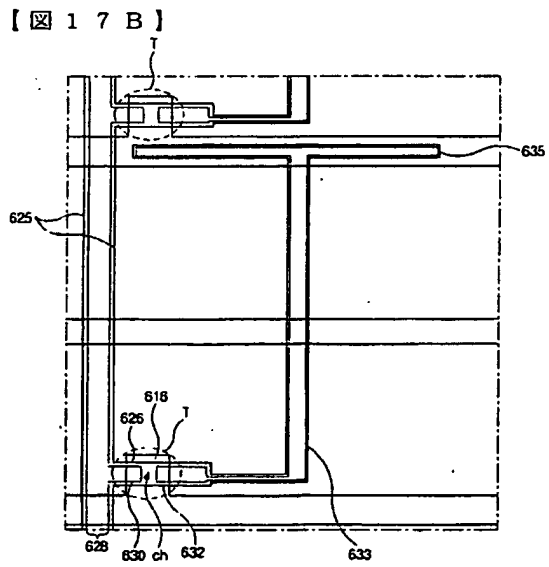
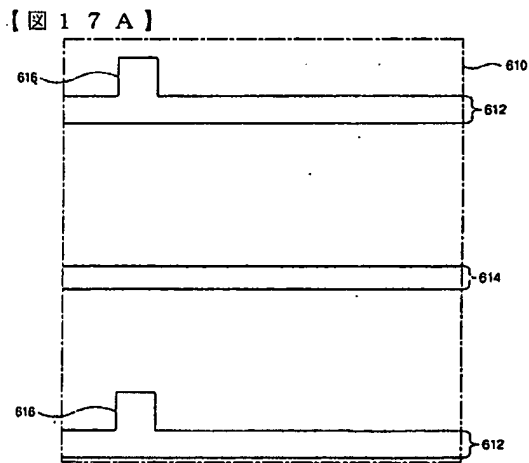
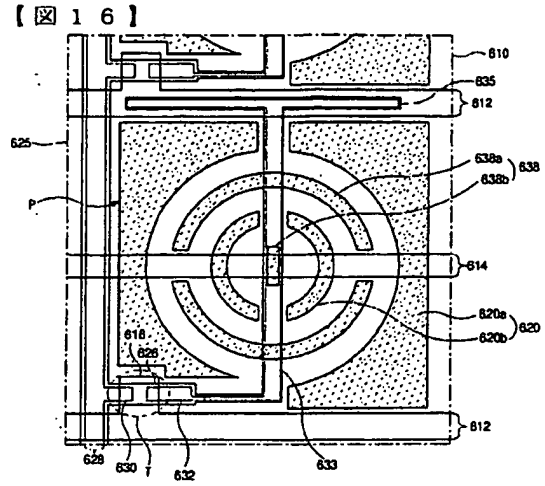
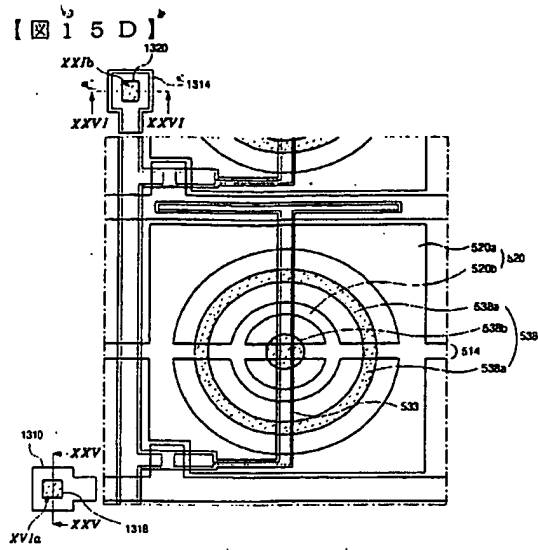


【 図 1 5 A 】

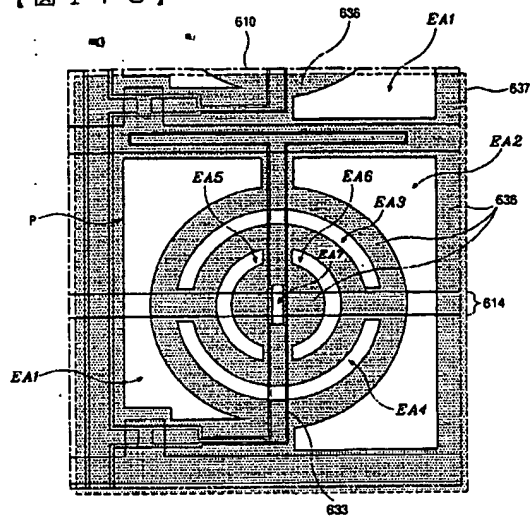


【 ☒ 1 5 C 】

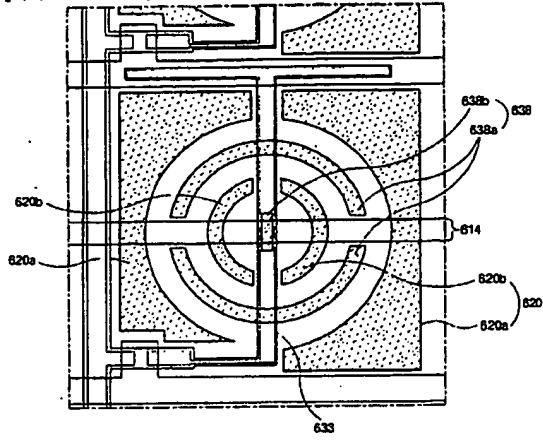




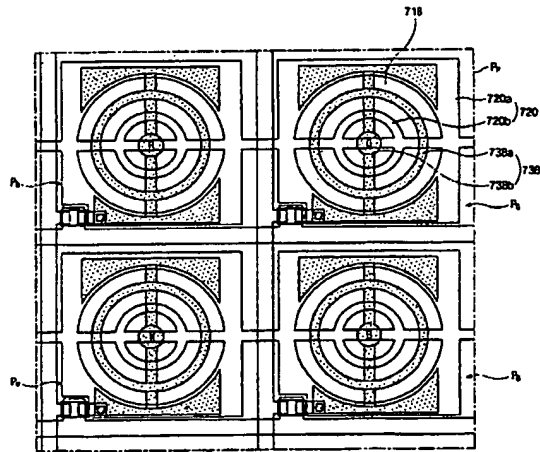
【図 17 C】



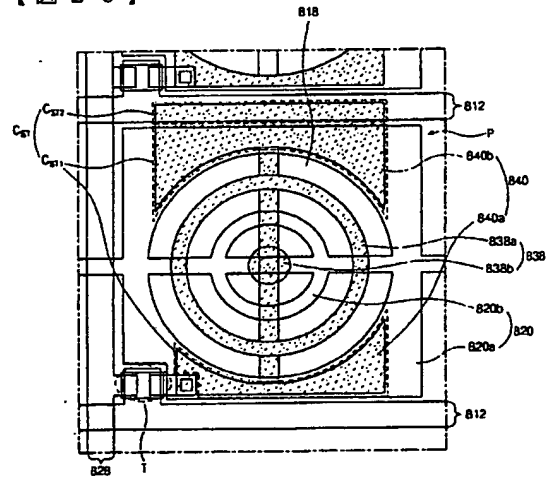
【図 17 D】

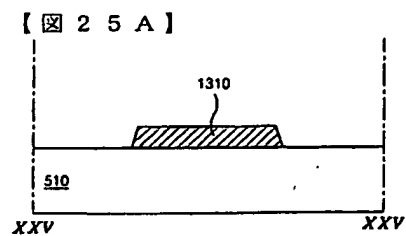
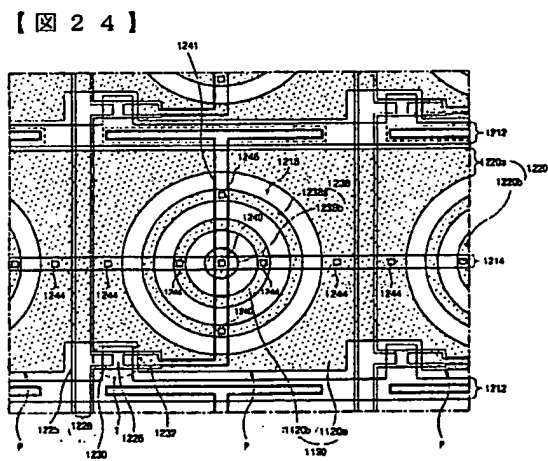
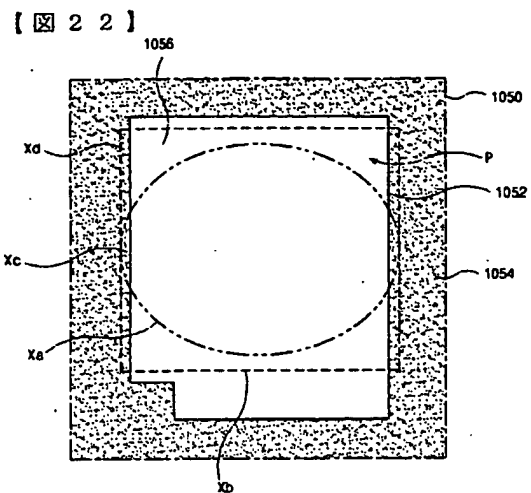


【図 19】

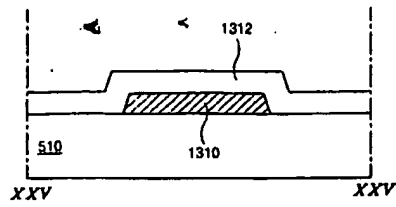


【図 20】

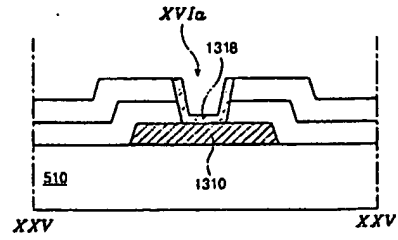




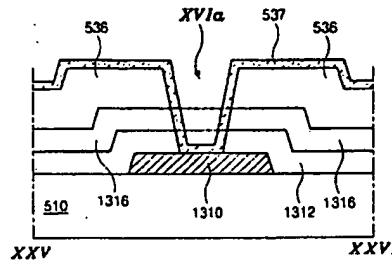
【図 25 B】



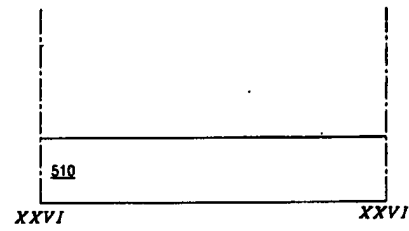
【図 25 D】



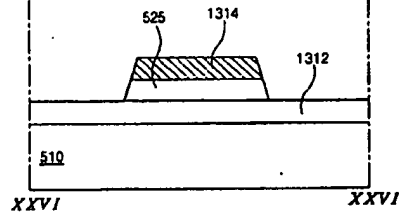
【図 25 C】



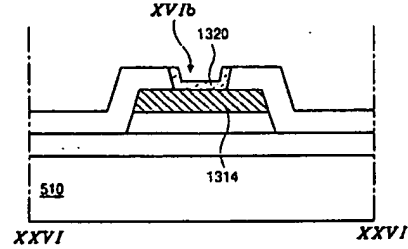
【図 26 A】



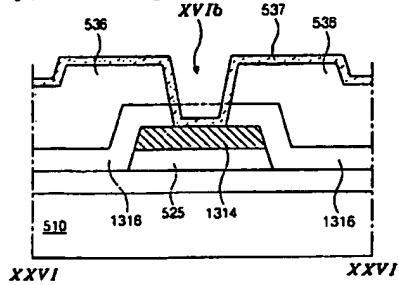
【図 26 B】



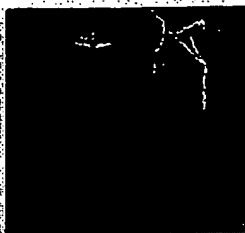
【図 26 D】



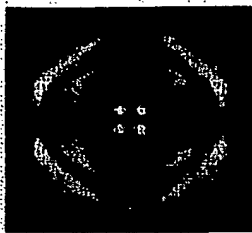
【図 26 C】



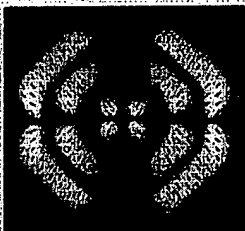
【図 18】



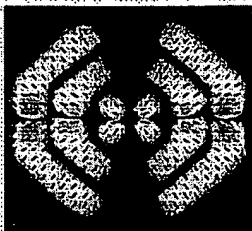
[0V]



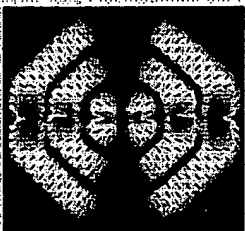
[2V]



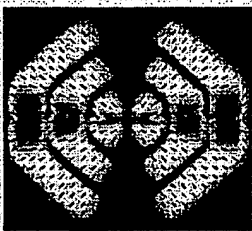
[4V]



[6V]



[8V]



[10V]

フロントページの続き

(74)代理人 100095688

弁理士 本宮 照久

(74)代理人 100104352

弁理士 朝日 伸光

(74)代理人 100128657

弁理士 三山 勝巳

(72)発明者 リー ユン ボク

大韓民国 121-809, ソウル, マボク, テフンドン, 43-8, 10/5

(72)発明者 リー ウォン ホ

大韓民国 463-905, ソンナムシ, ブンダング, イミドン, チョング アパート, 603
ン, 1701ホ

Fターム(参考) 2H092 GA13 GA14 JA24 JA46 JB05 JB14 JB52 JB62 MA13 NA01